

Layout Considerations for Switchers



Layout Considerations Topics

- **Noise Coupling Mechanisms**
- **Locating the high di/dt loops**
- **“Ground rules”**
- **Copper Requirements For High Current Paths**
- **Component Placement Strategy**
- **Gate Drive Layout Requirements**
- **Power FETs and Decoupling**
- **Switch Node design**
- **Output Capacitors**
- **Control Circuit Consideration**
- **Noise considerations**
- **Thermal Considerations**



How Does Noise Couple in a System?

There are four and ONLY four mechanisms for noise to propagate through a system

- 1) Conductive**
- 2) Near field magnetic (transformer)**
- 3) Electric field (capacitor)**
- 4) Far field electromagnetic (radio)**



在讨论使噪声问题最小化的印制电路板设计之前，让我们首先简单地回顾一下噪声源。电源设计遇到的主要麻烦是传导噪声。当高 di/dt 电流与电源通道中的杂散电感相遇时，就会形成噪声，产生大的电压尖峰与高频振铃。无论何时，两个共享公用导体（如接地层）的电路，都有可能在电路之间发生相互作用。

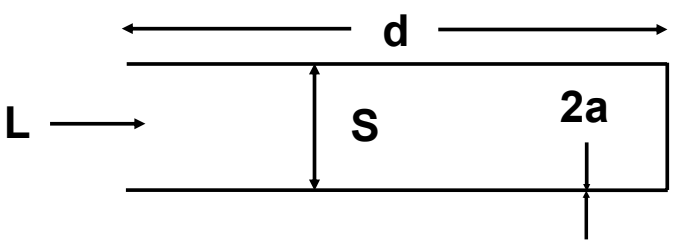
近场磁效应是磁场与导体之间的直接磁链引起的。任何具有高 di/dt 的电流导体都有关联磁场，因此，有可能将其携带的信息耦合至相邻导体。

电场通过电容效耦合。耦合与噪声源及受害电路面积成正比。噪声源携带信号的 dv/dt 越高，耦合效率也就越高。

可能最受责备但实际上对电路运行问题责任最少的就是辐射场。导体的 di/dt 越高，而且其环路面积越大，发射机就越好。由于低频信号的波长（相对大多数电路尺寸）极长，运动非常快的信号才能发生辐射干扰。为了使非故意天线品质最小化，应当使环路面积最小。



Self Inductance


$$L = \frac{\text{Magnetic Flux}}{\text{Current}}$$
$$L = \frac{\mu d}{\pi} \left[\ln \frac{S}{a} \right]$$

Assumes $d \gg S \gg a$

L gets BIGGER as loop area increases

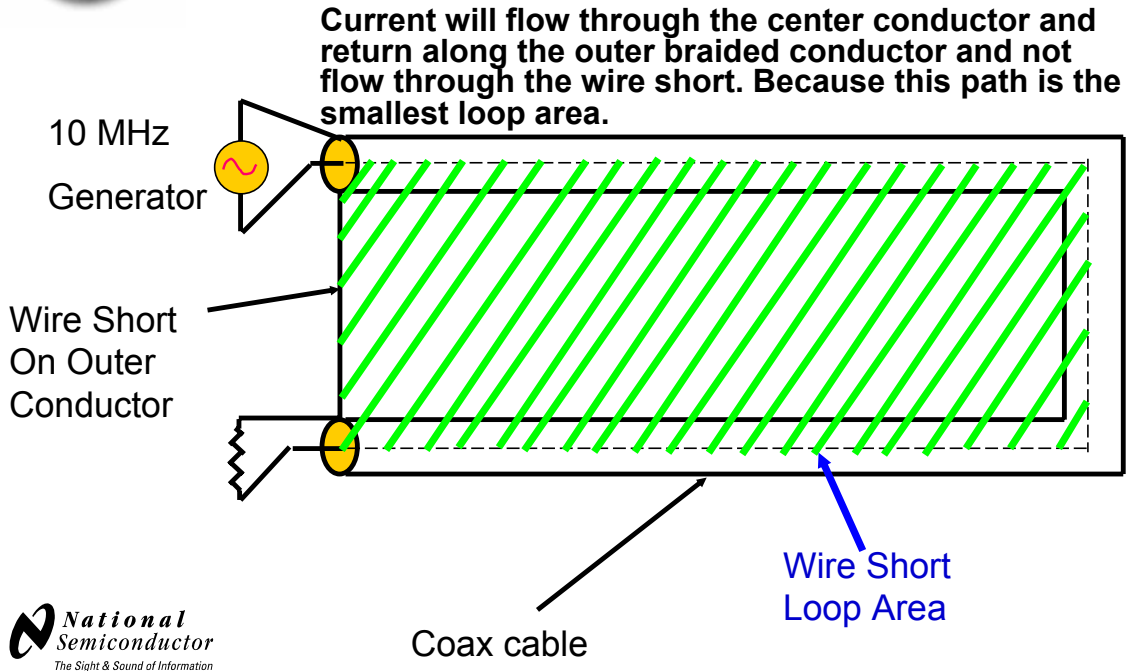
L gets SMALLER as wire diameter increases



印制电路板迹线有电感。较厚的迹线（线直径较大）将降低电感，但不明显。电流回路（总是存在回路）包围的面积对杂散电感影响最大。应当使电流通道与其返回通道刚好邻近，在电路板的同一层平行或刚好在相邻层的上方/下方。



Current Takes the Path of Least Impedance (Wire short Loop Area)



National
Semiconductor
The Sight & Sound of Information

系统内的信号**不是电压**，不会由某一引脚经由导线传到另一引脚。

信号其实是**电流**，源自电源，也必须回归电源。

电流沿著最低**阻抗**，而非最低**电阻**，的路径流动。

阻抗是电路电阻与电路电抗的向量和： $Z = R + jX$

若频率为 3 kHz 或以上：

最低阻抗的路径亦即最低电抗的路径。

最低电抗的路径亦即最低自感的路径。

最低自感的路径亦即环路面积最小的路径。

电流会深入导体的中心部分沿著线路流动，然后经由编织线的表面回流，而并非横越导线、穿过其中心点以缩短路程，因为前者的环路面积最小。

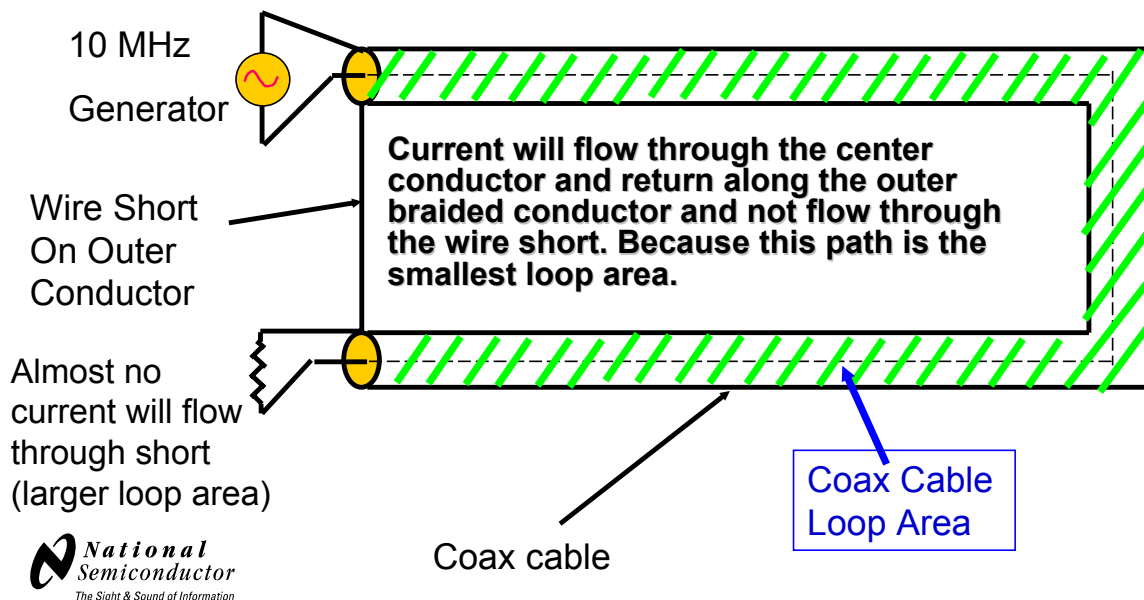
若全部电流横越导线、穿过其中心点以缩短路程，电流流经的环路面积便会大幅增加。

若采用直流电，大部分电流会横越导线、穿过其中心点以缩短路程，因为这条路径的电阻最少。

若采用交流电，几千赫 (Hz) 左右的电流不会横越导线、穿过其中心点以缩短路程，因为环路面积越大，电感也越高。



Current Takes the Path of Least Impedance (Coax Loop Area)



同轴电缆的环路面积远比捷径 (即横越导线、穿过其中心点) 的环路面积小。

若频率为几千赫 (Hz) 或以上, 电流会经由同轴电缆的表面回流, 因为这是环路面积/电感/阻抗都最小的路径。



Conductive Coupling

- **Common Impedance**
- **Requires two or more conductive contacts**
- **This mode is responsible for over 90% of noise problems!**

Examples

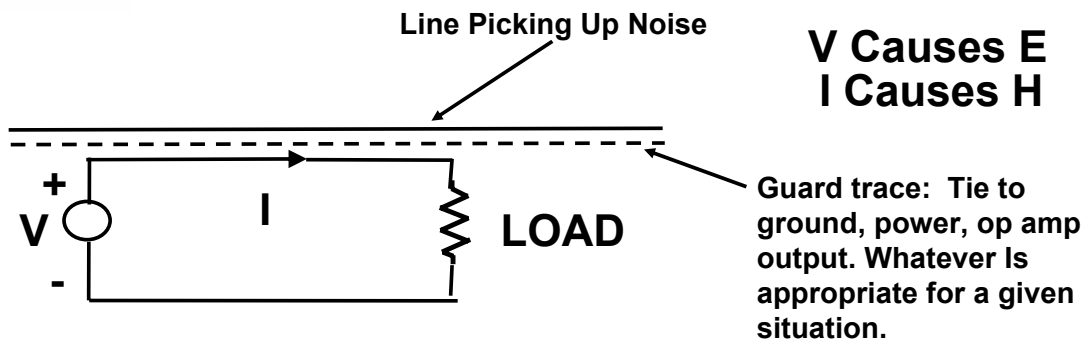
- **AC or DC power leads**
- **Grounding connections**
- **A shared signal path**



如同导线一样，印制电路板迹线也具有阻抗、自感、互感以及到相邻迹线的电容。接地噪声的一个普遍问题是噪声节点与接地层直接相连。只有在接地层中刚好有零电流时，接地层作为参考才有意义。如果有电流通过接地层，沿着接地层就有电压梯度。在接地层不同点连接的两个电路将有不同的参考电压，并存在串扰的可能。务必使噪声电流信号远离系统接地层。



Near-Field Coupling – Electric (E) or Magnetic (H) ?



Disconnect the LOAD!

If no current is flowing and the noise problem is still present then the coupling mode is Electric Field (E)



减少电场耦合:

在辐射迹线与迹线拾取噪声之间放置防护线。防护线要具有低阻抗，与拾取噪声的电路具有相同的电压。

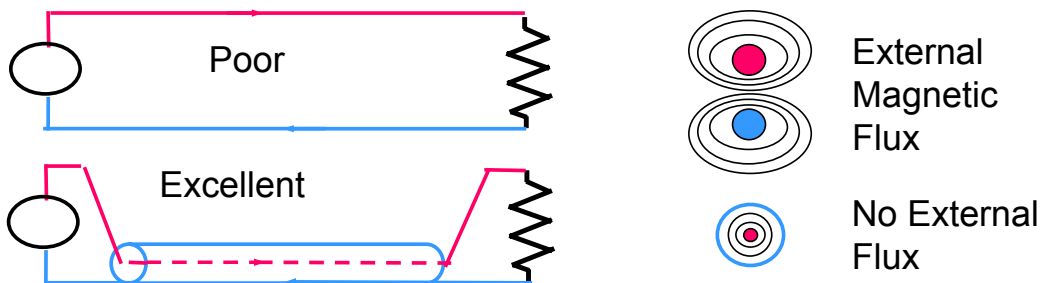
降低或消除磁场耦合:

减少或消除环路面积、隔离电路，使用自我屏蔽技术，以使返回电流导体包围信号导体。使用环形电感器或壶形铁芯电感器。

如果不可能在接收机实施屏蔽，那么磁场耦合很难对付，最好从根本上解决问题。



Magnetic Self Shielding



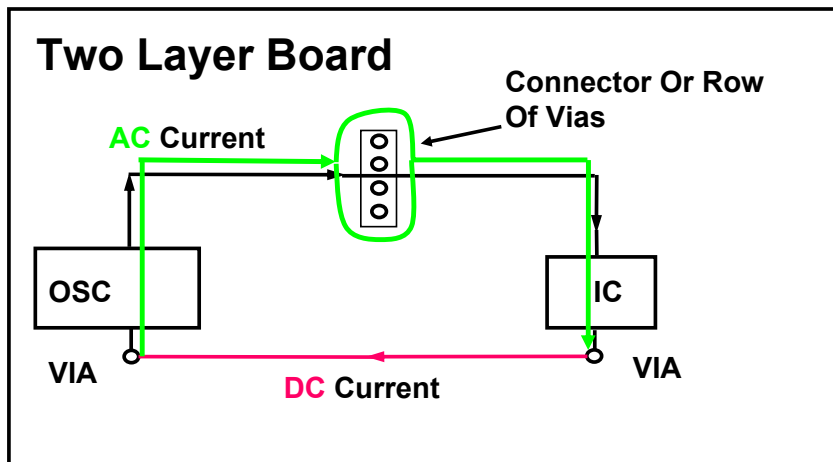
If the return current can completely enclose the signal current, excellent magnetic field containment will result
Any techniques that will reduce self inductance will also reduce or eliminate magnetic fields



磁通量与携带电流导体距离平方成反比。携带等量反向电流的导体磁通量将彼此抵消。利用接地屏蔽（如同轴电缆）包围信号，磁通量实际上是被导线自身包围，且不会干扰邻近电路。注意：如果同返回导体分开，则每个导体刚好产生相同磁通量。成功的秘诀在于以下事实：信号源与返回导体磁场相同且反向。当邻近放置时，它们趋向于抵消。在电路布线过程中要一直努力，尽最大可能消除磁场。



How Hidden Antennas Are Made on a PCB



Row of vias opens up ground plane between pins and causes AC- return current to flow around gap in plane. The gap will radiate at whatever frequency is $\frac{1}{4} \lambda = \text{gap length!}$

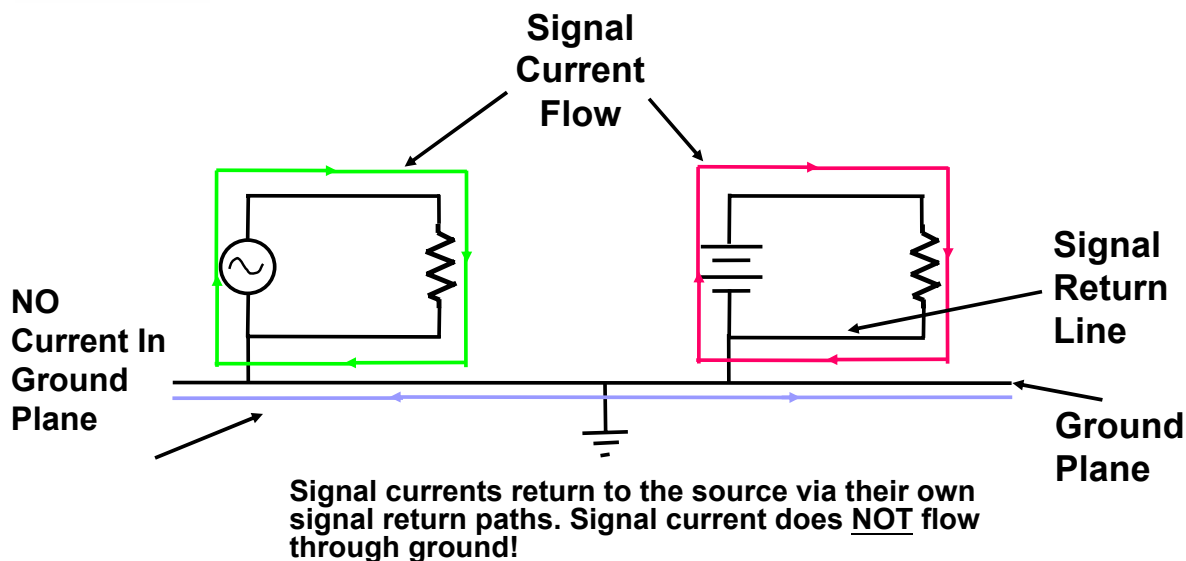


远场 (电磁) 耦合。为了使电磁辐射或拾取最小，应当：

- 1.使天线表面没有共模电流。
- 2.使天线面积最小。
- 3.使天线长度 $< \lambda / 20$ 。



Signal Return vs Ground

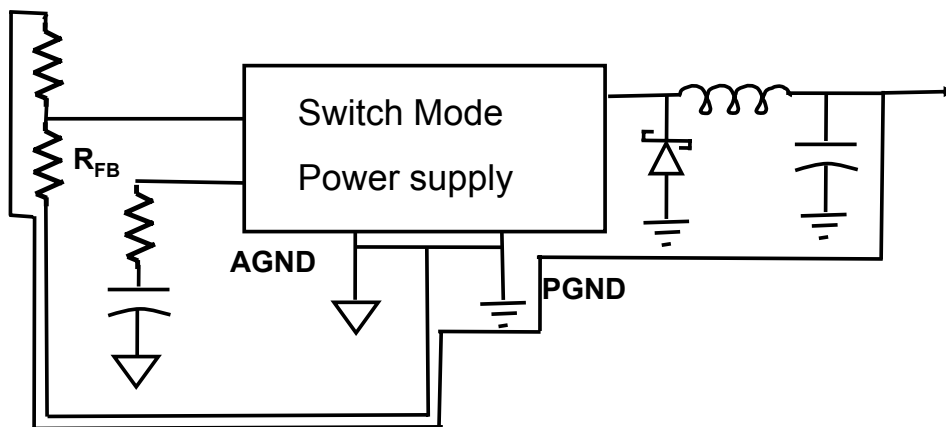


如果接地层中有电流流动，那么使用的基本经验法则是：这不是接地！

记住，所有的导体都有阻抗，接地层也如此。通过接地层的信号电流将带来电压梯度。为了保证电路板接地参考相同，最好使信号返回通道位于本地，如图所示。想象一下，如果图中的两个电阻利用衬垫上的简单过孔简单连接到接地层时，接地电流会是什么样？



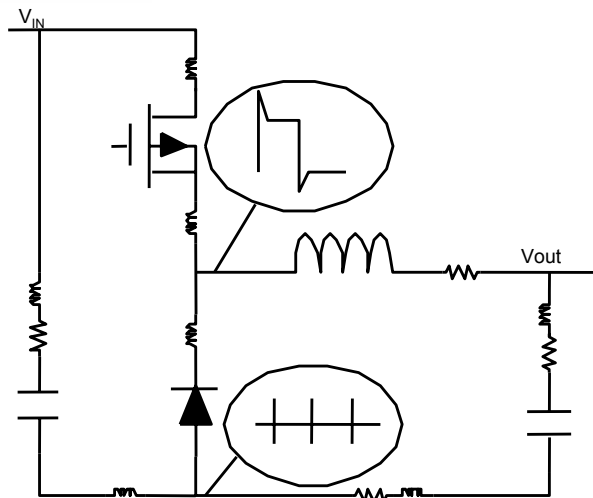
Signal Grounding Example



将 AGND 与 PGND 连结在一起。必须拥有到 AGND/PGND 连结点的信号返回通道。使 AGND 与 PGND 电路环路面积最小。反馈电阻器应当靠近反馈引脚。电源与信号返回 (接地) 连接应当靠近, 从而使环路面积最小。



Impact of High di/dt



- All elements, including PCB traces, have parasitic L, R, C
- High di/dt thru parasitic L produces voltage spikes
- Must avoid injecting these currents into the ground plane

First, identify high di/dt paths



如果考虑降压拓扑结构，你们一定会问到这个问题：为什么在输出中有尖脉冲？它们来自何处？在连续导通模式工作下，通常有电感器与输出串联。因此，根据定义，不允许高 di/dt 电流流过输出电容器。在输出中应当没有尖脉冲。但事实上，却经常观察到大量尖脉冲。这是怎么回事？怎样才能控制这个问题？问题的根源一般是高 di/dt 电流正灌入接地层且污染整个电路板，更确切地说，这就是电磁干扰。

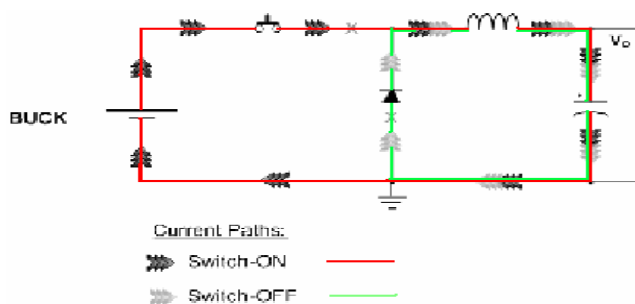
高 di/dt 电流将给电路板带来干扰，在电路中表现为尖脉冲。它们具有非常快速的边缘并随之产生非常高频的成分（还记得傅立叶分析吗？）。高频比低频辐射更好，并在任何进行测量的地方都可能出现，尤其是当它们灌入到接地层时。因此，目标是保持接地层安静！

好了，我们设法确定：我们认为解决方案是控制高 di/dt 电流。但是，在我们确定怎样控制这些尖脉冲时，我们最好首先用拥有确定它们在哪里的方法。



Locating the High di/dt Loops

- Draw the switch-ON current path in one color
- Then draw the switch-OFF path in another
- Any part of the circuit that has only a single color is a high di/dt path
- Works for all topologies
- Here's a buck example:

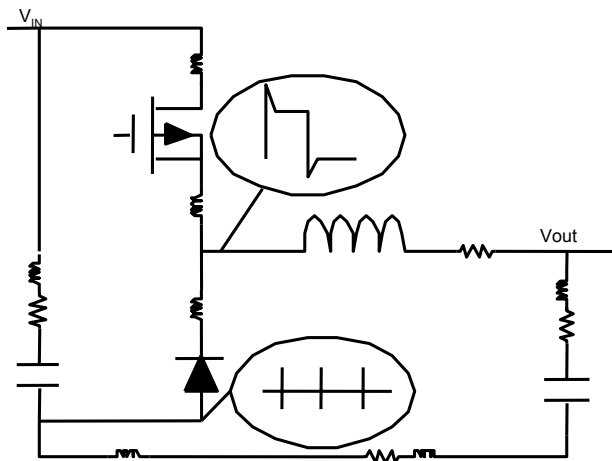


OK, So now what's the fix?

上图给出发现高 di/dt 环路的方法。在各种开关状态考虑电流路径，并对每个开关状态用不同的颜色绘制环路。例如，在上面的降压例子中，随着开关导通，电流从输入电容器流出，通过开关，通过电感器，开关然后到输出电容器，反向通过接地层，返回到输入电容器。在该周期的后来部分，电感器迫使电流流过输出电容器、地、箝位二极管，然后回到电感器。例如，用红色绘制第一个环路，用蓝色绘制第二个环路。现在看看哪条路径只有一种颜色。只有一种颜色的路径就是高 di/dt 路径，在布线阶段，这个路径就需要格外关注。



How to Deal with the Noise Generators



- Note the re-route of the diode-return path
 - Forces pulse currents directly back to input cap
 - Keeps high di/dt currents out of ground
 - Diode anode may actually be a bit noisier, but who cares?
- Can apply the same rationale to all topologies



在降压例子中，难点是使二极管阳极直接返回到输入电容器接地端。这迫使接地电流以连续方式流动，该电流实际上等于电感器电流。如果设计得当，二极管阳极连结的路径长度不会比将其简单与接地层连接时长很多。当然，在同步稳压器中，上面的全部推理都适用于低边 FET 源极连接。

对于升压拓扑结构，简单想象将上面电路中的二极管与 FET 交换，并将输入与输出标志互换。降压结构就转换为升压结构，从本质上讲，电流路径与以前相同。因此，返回开关接地的正确位置是输出电容器底部，刚好同降压结构中的输入电容器相反。



Low-Side FET Grounding

- **Do not connect low-side FET source directly to ground plane. Spike generator!**
- **Instead, run separate ground “shape” from FET source to input cap ground and via the capacitor pad to ground plane**



必须小心低边FET或二极管阳极。它是噪声节点，不应当直接连接到接地层。否则，将会使噪声注入接地层，破坏接地层并影响与其相连的其他节点。如果在降压稳压器输出中发现尖脉冲，可能是因为连接不当。在理想的设计中，降压稳压器输出电压中不应该含有尖脉冲。一般情况下，输出电压中出现的任何尖脉冲都是通过地轨传导的。谨慎对待输入电容器接地的低边开关，那么输出尖脉冲几乎可以消除或者至少大大减少，在开关稳压器中，普遍认为尖脉冲不可避免的。



Ground Rules 1

- **Ground plane can only be a true reference if NO current is allowed to flow in the plane**
- **Avoid letting very noisy currents flow in the main ground plane. Run separate shapes on top layer**
- **Use single point ground for all sensitive circuitry**
- **Segregate analog (small signal) and power grounds**



由于我们已经确定：同任何其他导体一样，接地也是具有寄生效应的导体，那么如果有电流流过这个接地导体，就将出现相应的压降。同样，没有哪个地方，你可以指出并说这代表所有电路的公共参考点。只有对一个固定位置来说，这个陈述才为真，除非所有接地连接通过零电流迹线返回到这个点，电路板上没有其他位置可以确定为处于相同的电位。如果忽略这个问题，将会带来各种麻烦。想像一下你在处于危险时拥有稳定的地。

解决方案是仔细分割接地点，以便确切掌握哪里控制信号得到相对于高电流接地路径的参考电压。对于反馈分压器以及软启动电容器等控制电路，要直接将部件的接地参考端与控制集成电路（如果可以得到）的 SGND 引脚相连。可能有大电流流经电路板主层下面，并产生较大的电压梯度。如果使反馈分压器的底端进入电路板上的一个方便点，可能会在输出电压中引入很多毫伏的误差。设计从反馈分压器到 SGND 引脚的单独迹线是非常困难的，几乎没有评估通过接地层的电流路径的合理方法，因此假设它们是一个问题，并据此设计。



Ground Rules 2

- **Don't cut the layer 2 ground plane**
- **Solid ground plane acts as a “shorted turn” to EMI**
- **Bypass to the ground PINs, not the plane**
- **Can help to make a ground shape on layer 1**
- **Keep high di/dt loops on layer 1**
- **Ground plane is for DC distribution and signal reference only**



保持电路板第二层的接地层不间断，使它可以作为直流大电流路径，并作为甚高频信号的射频返回路径。但是，应避免利用这个作为控制电路的模拟接地回线。另外，还要小心高di/dt电流，并尽最大可能程度使其离开这一层。不要破坏返回路径。

一个成功使用的技术是，对从控制器集成电路 SGND 引脚到所有小信号元件接地点的小型接地迹线，采用菊花链连接方式。大的顶层平面是一个可行的方法，只要它只在一个点同电路板主层相连，并不携带高 di/dt 功率返回电流 (power returns)。在多数情况下，对这种方案来说，并没有足够的空间，菊花链设计非常适合。

值得注意的是，许多 CAD 程序不允许隔离两个接地层，并在它们之间进行单点连接。必须寻找一种几乎不修改软件的方法，并使其听从命令。甚至不要想着对接方案进行折衷，因为 CAD 软件包很难正确接地。



Ground Rules 3

- **Consider grounds as you would any power path conductor. Make sure there's enough metal!**
- **Be sure to look at the integrity of the ground plane after all vias are added between layers**
- **Use 2 oz copper plane in applications over 5 amps if at all possible**
- **Use multiple ground layers if possible**



普遍假设接地是固体，理想的参考层。但是，在很多情况下，这种忽视接地方案现实性的倾向会导致在接地层留有细小的连接，传送非常大的电流或按照推测对返回路径进行短路。为了获得真正的“接地点”，不得不再“转变抹角”。当在接地层上布置大量过孔或迹线时，需要保证考虑接地层并证实接地层没有被分割。在将接地层所有过孔排除之后，你可能看到 20 mil 宽的剩余而不是 2 英寸宽的接地层。这绝不是期望的。一个非常好的想法是：在设计结束时，关掉除接地层外的所有层，并确保当完成的所有信号和电源迹线布置以及所有过孔时，仍拥有良好的接地层完整性。



High-Current Copper Requirements 1

- Do not use minimum width traces
- Approximate trace width as follows:
Where T = trace width in mils, A is current in amps, and CuWt is copper weight in oz

$$T = (-1.31 + 5.813 \times A + 1.548 \times A^2 - .052 \times A^3) \times \frac{2}{\text{CuWt}}$$

- Formula works over a range of 1A to 20A



大多数设计人员往往忽略迹线宽度，因为对于数字应用来说，这通常不值得关注。一般的方法是努力设计最小的迹线宽度。在大电流设计时，这将带来很多麻烦。上面的公式是利用已经发布数十年的标准的军用规范曲线得出的。这个公式是对相当宽范围的电流进行的合理估算。通常，当考虑大电流路径时，铜箔越多越好。

在最上面的高速层往往使用 ½ oz 铜箔，因为可以利用稀释剂材料蚀刻较细的间距。但是，这并不是好的电源策略。如果可能，内部平面层至少应利用 2 oz 铜箔，其中细的间距不是问题。大多数印制电路板加工厂能够在外部进行选择性的覆铜。利用这个方法可以使大电流路径的铜箔加厚，但会增加成本，因此不常使用。如果大电流连接可以使用多层，就可以使用大量过孔使其互连。



High-Current Copper Requirements 2

- **Some examples:**
 - 1A, 1 Oz Cu, trace width = 12 mils min**
 - 5A, ½ Oz Cu, trace width = 240 mils min**
 - 20A, ½ Oz Cu, trace width = 1275 mils min**
- **Clearly lots of width required for high currents with light weight copper planes**
- **These widths are designed for an approximate 10°C temp rise. Wider is better!**
- **Try to design for 30 mils per amp for 1 Oz Cu and 60 mils per amp for ½ Oz Cu**
- **Shapes with switching currents should be wider**



当电流超过 10A 时，50 mil 的 ½ oz 铜箔可能熔断。还要记住，顶层铜箔是印制电路板上制冷气流的主要热量通道。由于铜箔热阻比电路板玻璃纤维材料低得多，因此，组装电路板使用的铜箔越多，整个热阻就越低。



High-Current Copper Requirements 3

- **Via considerations:**
 - For microvias design for 1A/via max**
 - For 14 mil diameter or larger, 2A/via max**
 - For 40 mil diameter or larger, 5A/via max**
- **For better heat spreading, allow vias to fill with solder**
- **Leave copper alleyways between clusters of vias. Avoid “swiss cheese”**



在很多情况下，过孔是必须的，但应当避免成为电源路径中的电流传送元素。期望过孔的唯一时刻是使用它们可以给设计带来冗余的铜箔区域，如与外部迹线区域并联的内层。

实际上，过孔确实有用作热管的潜力，它们能够帮助将印制电路板顶层产生的热量传导至背面。连接热区域的过孔越多，散热就越快。

使用大量散热过孔时需要注意的问题是，内部接地层可能被严重分割，结果几乎没有有用的电流路径。在电压稳压器模块等非常小的电路板上，极可能出现这种情况。



Component Placement Strategy 1

- Design power path layout first. Plan a clean power flow for high current path. Keep multi- phase layouts symmetrical
- May help to work from the output back towards the Input source
- Locate sense resistors and Inductors, then FETs and input caps.
- **Keep copper width requirements in mind!**
- Take inputs and outputs **ACROSS THE CAPACITORS**



有一种倾向认为，控制器是设计部分最重要的，因此，应当从控制器开始设计。事实远非如此。你想从功率路径元件开始，因为它们体积大，需要扁平互连。布小信号迹线的方法要比与功率路径相关的大的层面面积容易的多。

用这种方法设计功率部件，将使功率流动更合理，且封闭环路尽可能小。尽量使返回电流流动邻近或在相应的电流之下。这将使环路面积最小，并可降低电路板表面辐射的磁场。等值反向磁场将互相抵消。导体距离越近，抵消效果越好。

一旦所有的功率元件放置完毕，就寻找一个安静的区域来布置控制电路。



Component Placement Strategy 2

- Control circuits go in last. Small traces, easy to route
- The higher the impedance and/or gain, the smaller the node should be, especially FB pins, input to op-amps, comp pin, etc
- Low Z nodes can be big, including outputs, so put FB components near the inputs
- Play with some “Paper Dolls” to see the power flow



遵循前面讨论的接地建议。保持最高阻抗迹线最短，因为它们最易拾取杂散场。因此，作为例子，在反馈分压器中的两个电阻器应当非常靠近稳压器的 FB 引脚，而不是靠近电源输出。从反馈分压器顶部到电源输出的连接是阻抗极低的连接，因此不受噪声拾取的影响。相反，误差放大器输入是非常高的阻抗输入，很容易受感应噪声杂散场的影响。有这么一种倾向：想使敏感节点大些，并错误地认为：这将带来一些屏蔽效果。实际上，结果恰恰相反。这将增加间隔电容，并增加了噪声拾取的可能性。应使敏感迹线狭窄并尽可能短。这些是 10 mil 宽迹线所在的地方。

在某些开关稳压器控制器 V_{CC} 引脚的输入端，大家可能看到小型 RC 滤波器，并认为：这个想法是防止控制器在 V_{CC} 电源制造噪声。实际上，情况恰恰相反。通常 V_{CC} 电压是 5V，将用来为门驱动供电，还可能为主系统的逻辑电路供电。这往往是噪声导轨，因此，RC 滤波器用来过滤到控制器的电源电压。所以，要保证 V_{CC} 旁路电容器尽量靠近控制器的 V_{CC} 引脚，其另一端直接接地，最好在控制器接地引脚。旁路电容器是否应当与 AGND 或 PGND 相连，将取决于 V_{CC} 电压供应是否仅控制集成电路中的电路或门驱动。如果是前者，则与 AGND 相连；如果是后者，则连接 PGND。从开关电源散发辐射的一个最主要原因可能是长输入电源线的传导辐射。屏蔽将有所帮助，但最根本的办法是减少输入线的交流电流。这意味着对到稳压器的输入电流进行有益去耦与滤波。另外一个保持控制的重要方法是使输入电容器与 FET 之间的环路尽可能小。对输出电容器应用上面讨论的电容器连接技术。它们对输入端也有效。对于主要的功率元件，值得做模拟实验，以检查主要电源通道互连走向。如果实验进展不尽人意，也不会带来什么损失。



Component Placement Strategy – Rules Of Thumb

- You can put inductance in series with an inductor, but do it on the quiet side, NOT the switch node side
- 30 mils per amp for 1 Oz Cu and 60 mils per amp for ½ Oz Cu
- 1 A of DC MAX per via is a good design goal.
- Vias to bypass caps should be placed tangent to the pad, two per pad is preferred
- **Minimize Stray Inductance in the Power Path!!!!**



与电感器串联的迹线电感一般不必特别关注。其结果只是增加通道中的整个电感。相反，不希望增加与电感器并联的电容容量。这类似于增加与电容器串联的电感，并将带来问题。如果必须增加与现有电感器串联的某些电感，一般最好使输出路径更长，这样可以使噪声开关节点尺寸最小。

冒着冗余的危险，密切关注载流路径的规模。在大电流路径中，铜箔越多几乎总是越好。

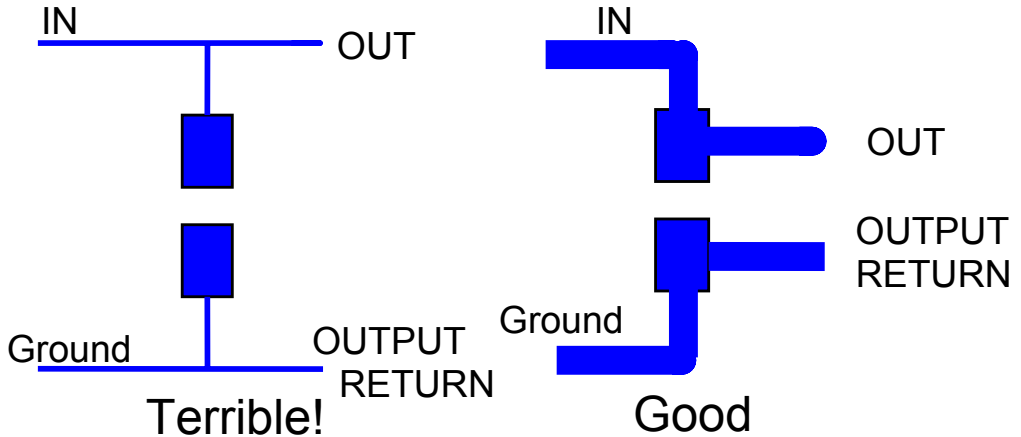
我们已经讨论过利用过孔连接旁路电容器与接地层。要求电容器的每个衬垫至少与一个过孔相连。每个衬垫有两个过孔更好，三个过孔会再好一点，遵循收益递减曲线。过孔不必太多，但要超过两个，它们会带来些许益处。

电路板布局需要“使杂散电感最小化”。把每个高 di/dt 路径看作是高频射频连接 (因为它是!)。你可能会说：“我们只使用 100 kHz 频率”，但是，快速边缘将使频率成分到达数十 MHz 甚至可能到达数百 MHz。在电路板布局时，千万不要忘记这一点。



Connecting Bypass Capacitors 1

- **Connecting to output bypass caps**



看一下上面的两个布局图。每个图中输出电容器都计划与表面安装衬垫相连。左图的设计不能很好地减少波纹和尖脉冲，因为高电感与之相连。与通过电容器的通道相比，从输入到输出的直通连接通道可能是低阻抗通道。

在右图中，输入与输出迹线更宽更厚，因此其连接阻抗更低。但更重要的考虑是相对于电容器迹线的物理方位。注意：电流通道通过电容器衬垫，输出连接也直接通过电容器衬垫。从输出的角度看电容器，这是阻抗最低的连接。唯一可以实现的改进是使迹线足够宽，这样它们能够有效地退化为一对位面。如果使用多个去耦电容器，最好做成顶边形状，所有的部件都在放在上面。如果电容器需要连接内部接地或电源层，可以使用大量过孔连接电容器与内层电路。



Connecting Bypass Capacitors 2

Connecting to high frequency bypass caps:
This assumes a connection into internal planes

 Terrible!

- Long thin traces add inductance and effectively isolate the capacitor

 Good

- Keeping vias close to pads minimizes parasitic inductance

 Better

- Doubled vias further reduce inductance

 Best

- This technique further reduces inductance by reducing the high frequency loop area



高频旁路电容器连接必须具有最小附加电感。很多时候的设计惯例往往采用类似图中最上面的设计方案。这个电容器简直是浪费金钱与空间，因为附加电感将有效地隔离电容器。最好的方法是图中最下面的设计。其封闭环路面积已经最小化，具有良好的磁场抵消结果，这有利于低电感互连。

第二种或第三种方法是最常见的。过孔应当沿衬垫切线放置。从单一过孔或两个过孔，寄生电感将下降 10% 至 20%。再增加一个过孔，将有 1% 或 2% 的改善，遵循收益递减规模。



Gate-Drive Layout

- Place drivers close to MOSFETs
- Keep C_{BOOT} and V_{DD} bypass caps very close to driver
- Minimize loop area between gate drive and its return path: low inductance
- SW-pin connection should be 0.015" wide or larger, as should the gate connections
- **Minimize stray inductance in the power path!!!!**



到外部 FET 的门连接是非常高的 di/dt 通道，因此需要认真对待。比较糟糕的是将驱动器接地与 FET 源极连接，这将起到寄生乘法器的作用，因为电感将成为电源的增益衰减要素。这里的长线连接将明显减慢 FET 开关的上升/下降时间。对于降压应用中的高边 FET，这非常重要。为了使封闭环路面积最小，应尽量使门—驱动器连接在源—驱动器接地连接的正上方，并使用 15 mil (0.3 mm) 宽的迹线。

再强调一遍，要使杂散电感最小化。



Power FETs and Decoupling

- **Minimize loop area enclosed by high-side FETs, low-side FETs, and input caps**
- **Connect the low-side FET's source to the input- cap ground, then to the ground plane**
- **Use copper pours for drain and source connections to power FETs**
- **Use lots of vias to tie in to inner layers**
- **Minimize stray Inductance in the power path!!!!**



如同前面的讨论，输入电容器、高边 FET 以及低边 FET 之间的环路需要最小化。在降压设计中，这可能是最关键的路径。

应当遵循关于在输入电容器接地点对低边 FET 源极进行接地的指南，以及输出尖峰最小化并确保利用大量灌铜连接主电源与 MOSFET。这对供电和散热都有好处。

同样的原则也适用于过孔。过孔越多越好。想想并联连接的全部电感。它们还作为电路板背面和内层的热量通道。尽可能利用焊料填充过孔。尽管在供电与散热方面不如铜箔，但焊料还是优于空气，而且它也是填充过孔的材料。

顺便说一下，确保功率路径中的杂散电感最小。



The Switch Node

- **Requires a contradiction:**
 - As large as possible for current handling,**
 - yet as small as possible for electrical noise reasons**
- **Swings from V_{IN} to ground at F_{sw} . Very high dv/dt node! Electrostatic radiator**
- **Solutions:**
 - **Keep inductor very close to FETs, Sw-node short**
Put on multiple layers
 - **Minimize stray inductance in the power path!!!!**



降压稳压器开关节点是一个大型静电辐射体，因为它在 V_{IN} 到接地之间以 F_{sw} 频率开关，对开关节点与接地层以及自由空间之间的电容充放电。通常，如果能够最小化就更好。对于降压稳压器以外的产品，就要考虑在高电位开关的任何节点，并想办法使其余部分的电容最小化。例如 TO-220 FET 的漏极与热量管理散热器相连，就应尽量在直流电位连接至漏极，并允许源极从下开关。这将防止大的交流共模电流从电容器向散热器流动。

噢，还是要重复一下，使电源通道中的杂散电感最小化。



Control Circuit Layout

- Use single point ground for AGND-PGND connection
- Can use top side “daisy chained” ground or separate plane area for Sgnd connections
- Keep V_{CC} bypass cap close to pins
- Route sensitive signals away from noisy nodes, and no noisy signals near sensitive nodes
- Keep feedback Rs and Cs close to pins



人们通常期望将控制器集成电路的 AGND 引脚与 PGND 引脚在单点处连在一起，该点也同接地层连结。如果还有空间留给顶层地，可以利用它作为所有接地参考控制电路（反馈分压器、软启动电容器等）的回路。在大多数情况下，这还不是一个可行的方案。使用小型迹线菊花链式连接 AGND 引脚与各种小信号接地，是一个很好的方案。如果需要这条迹线通过多层，布线软件在连结过孔与内部接地层时将遇到一个问题。这将破坏想这个迹线的整个点与地的隔离，必须想法使软件按照你的要求行事。一个方法是给出单独的 AGND 符号。这允许你通过多个层面将所有的信号接地连接在一起，不用连接内部接地层。但是，当试图连结 AGND 与 PGND 时，将出现设计规则检查 (DRC) 错误。在某些程序不允许设计人员连接两个分离网。如果用“线”而非“导线”去连接这两个分离网时，程序就允许网络共存。布线图外观良好，但在电路板上产生 DRC 错误。

从噪声的角度看，最重要的区域可能是开关节点。这个地方以及电感器周边邻近区域可能给小信号通道带来很多麻烦。如果使用非屏蔽、空心结构电感器，就要格外小心。电感器周围的杂散场可以很容易地破坏电流检测信号与反馈信号。如果可能应当避免使控制器/稳压器与空心电感器离得太近。我们见到过几个例子，非屏蔽电感器的磁场使稳压器受到干扰。在某些情况下，将电感器转动 180° 可能有所帮助。



Control Circuit Layout

- **Make long runs to low-impedance nodes, short runs to high-impedance nodes**
- **Route current-sense traces parallel to one another – minimize differential-mode noise pickup**
- **Keep most small signal traces thin – lower capacitance to surrounding signals**
- **Route Sense+/Sense- as a parallel run**



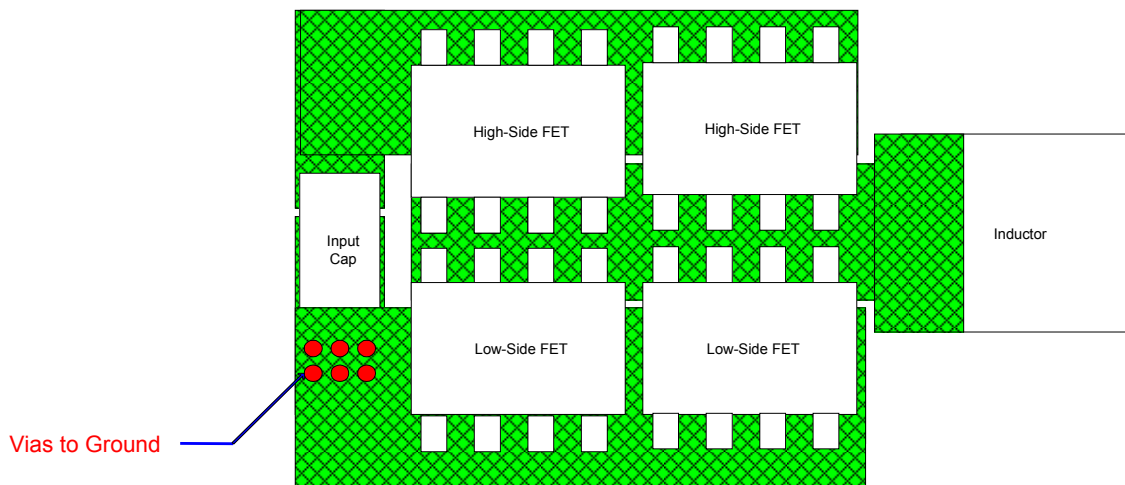
信号的交流阻抗越低，受杂散场破坏可能性就越小。因此，在选择元件的哪个端点连接长线时，总是选择阻抗最低端。一个例子是反馈分压器顶部电阻器。在选择将时电阻器靠近高阻抗误差放大器输入还是低阻抗功率输出相连接的地方时，总是将该电阻器放置在靠近误差放大器的地方，并使输出电压连线走得远一些。

设计电流检测迹线时，要保持两条线平行并尽量靠近。这样，拾取的噪声可能相等并抵消部分或全部。它类似共模信号，因此将受倒接收放大器共模抑制比 (CMRR) 的影响。但至少不会注入纯粹差分噪声信号。这个原理同样适用于远距离检测线。

保持小信号迹线很小。这样它们对电容耦合噪声拾取就较不敏感。在必须使用高阻抗通道走长线时，应当使内层导体互相平行，并用接地铜箔围绕电路板的每个边。从本质上讲，就是构建印制电路板同轴电缆。



Example Of Clean Layout – Single Sided

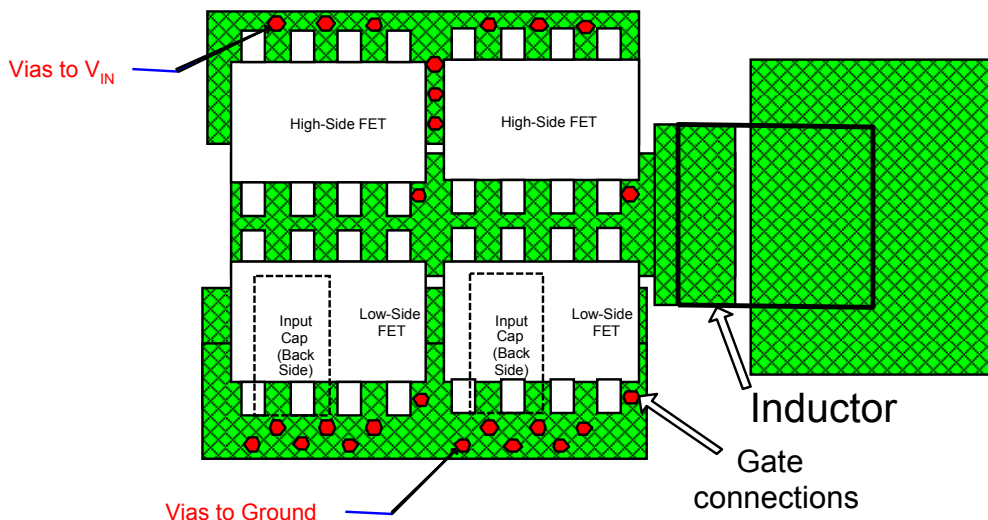


如果必须在电路板的顶层保持输入电容器，这个方法是个相当不错的方案。注意，接地过孔靠近电容器接地，而不是在 FET 源极连接处。另外，上一个幻灯片中提出的建议在这里也全都适用。注意，输入电容器应当是高频陶瓷电容器，但容量必须足够大，以满足巨大的能量需求。对于几个安培放大器电流，1 μF 以上的电容器即可。

当电流大于 20A 时，应使用 10 μF 左右的电容器。在近距离以外可以放置主输入电源大电容器。只有应对 FET 电流极高速边缘时才需要本地旁路。



Example of Clean Layout – Two Sided



这个例子是降压配置中两个并行 FET (顶部与底部) 相当于净的布线。注意, 去耦电容器在背面。在电容器 V_{IN} 接线端与高边 FET 漏极连接之间有一个平面区域。在实践中, 需要在高边 FET 门引脚周围进行少量剪切。沿着门引脚的边际用过孔将门驱动引入内层, 这样才不会损坏开关节点功率通道的完整性。如果需要为开关节点添加更多金属, 可以将专用连接层加倍, 并在 FET 引脚附近以及电感器衬垫近旁增加大量过孔。

注意, 连接电感器输出端的衬垫比开关节点边大。在电感器下如此操作没有问题, 并在开关节点衬垫旁边停止。它与输出连结, 是交流接地, 因此, 不会注入噪声。对于电感器来说, 这是极好的散热器。



Thermal Equations

- Correct thermal design requires understanding of how heat is generated by power dissipation flow
- We model the thermal equations after Ohms Law :

$$V = I * R$$

- $P \text{ (Watts)} = V * I \text{ or } V^2/R \text{ or } I^2 * R$
- RMS: $V_{\text{rms}} = V_{\text{peak}} / 1.414$
- Efficiency: $\eta = P_{\text{Load}} / P_{\text{Total}}$
- The Thermal Equivalent of Ohm's Law :

$$\text{Temp } \Delta \text{ (}^\circ\text{C)} = \text{Power (W)} * \theta \text{ (}^\circ\text{C/Watt)}$$

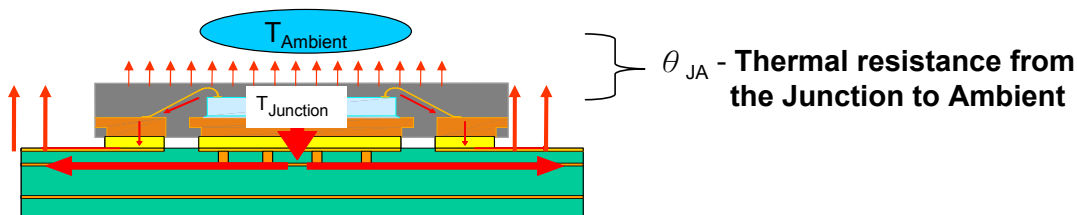


正确的热量设计需要理解功率耗散流动如何产生热量。集成电路内部产生热量，这些热量必须流向器件周围温度较低的环境。随着热量的流动，将出现温度梯度引起的热阻。

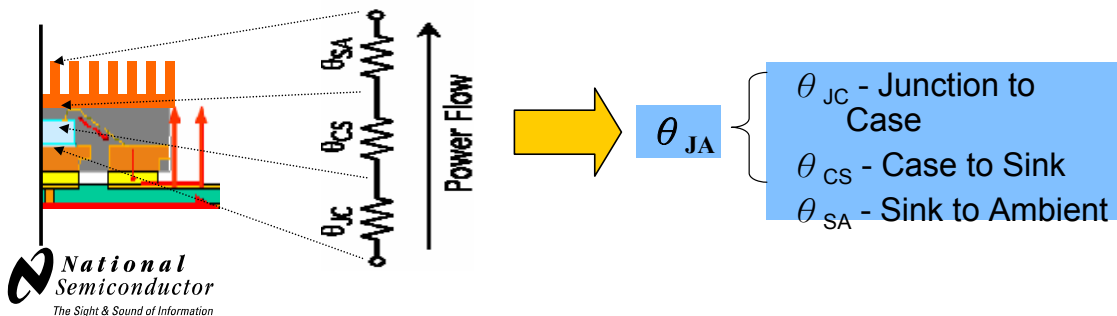
利用欧姆定律可以得到热量方程，用温度、功率与热阻分别代替电压、电流和电阻即可。



Power Flow Model



At each interface from the junction to the ambient air there is an associated thermal resistance



热阻定义为每瓦功率产生的摄氏温度。由于功率耗散，温度将发生变化。热阻越大，温度升高越多。

从结到环境空气的每个接口，都有相关的热阻。当热量从结向环境流动时，沿着热流方向，每个接口的温升都比下一个接口高。热量从最热点流向最冷点。

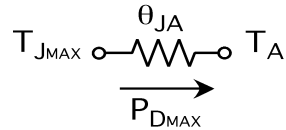
最有效的热量通道是金属 (即迹线、接地、引线等)。塑料的导热性能较差。



Thermal Design Considerations

- Correct thermal design means designing so under the worst case operating conditions the IC will not be damaged or have its protection circuits activated
- “Operating Ratings” in datasheet will specify a maximum junction temperature specified as T_{JMAX} , commonly 125 °C
- Using Ohm's Law with the changes for thermals and using worse case values, the simple equation below is derived:

$$T_{JMAX} = (P_{DMAX} * \theta_{JA}) + T_A$$



正确的热量设计意味着即使在最糟糕的工作条件下，集成电路也不会损坏或者使其保护电路启动。

数据表中的工作额定值将给出最大结温，用 T_{JMAX} 表示，通常为 125°C。

利用具有热量变化的欧姆定律以及最恶劣工作条件下的有关数值，可以推导出以下简单方程：

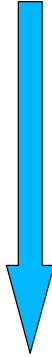
$$T_{JMAX} = (P_{DMAX} * \theta_{JA}) + T_A$$

注意：虽然与欧姆定律类似，但热量方程的精度远不及前者。小数位精度没有必要，因此，一般采取四舍五入的办法。即使如此，考虑到涉及的机械方面的因素，也可将计算结果再打三折。



Example θ_{JA} By Package Type

Small



Large

• Micro SMD	$\theta_{JA} = 95\text{ }^{\circ}\text{C/W}$
• SC-70	$\theta_{JA} = 450\text{ }^{\circ}\text{C/W}$
• SOT-23	$\theta_{JA} = 180\text{ }^{\circ}\text{C/W}$
• LLP-6	$\theta_{JA} = 50\text{ }^{\circ}\text{C/W}$
• MSOP-8	$\theta_{JA} = 200\text{ }^{\circ}\text{C/W}$
• SO-8	$\theta_{JA} = 160\text{ }^{\circ}\text{C/W}$
• eTSSOP-20	$\theta_{JA} = 40\text{ }^{\circ}\text{C/W}$
• TSSOP-16	$\theta_{JA} = 85\text{ }^{\circ}\text{C/W}$

* These are examples only. For actual value, refer to individual product datasheet.



在包括印制电路板布线（铜箔厚度、宽度、接地层热量散耗、散热器、气流等）的系统内， θ_{JA} 不仅取决于封装，而且取决于系统中的热量流动。



Things to review for Thermal Considerations

- **Loss elements are sources of heat**
 - LDO, Buck, Boost have different highest-loss elements
 - Differences in duty cycle, V_{IN} lead to different elements also
- **Oz of copper (Cu)**
 - 0.5 oz – 2.0 oz – Keep traces wide and thick!
- **Amount of copper in mm²**
 - 645 mm² and up – Flood the board with Copper
- **Thermal Vias**
 - How many and in what pattern
 - Solder fill vias – spreads heat better
- **Air flow**
 - ~70% reduction w/ 2.5m/s airflow
 - Avoid placing power parts in airflow shadows



这是我们讨论过的热量考虑清单，并总结了较佳热量设计方面的建议。要理解热源以及热源是如何从元器件传播到冷却器的。



Layout Considerations – Summary

- Know where the high di/dt paths are in your design and minimize their loop area
- Use good grounding strategies
- Minimize Parasitic Inductance!
- Segregate signals and power
- Leave plenty of copper
- Add thermal vias where possible
- National Semiconductor application notes:
 - Layout Guidelines for Switching Power Supplies, AN1149
 - SIMPLE SWITCHER® PCB Layout Guidelines, AN1229



这是我们讨论的有关降低噪声的电路板布线考虑。电路板迹线具有阻抗（电阻和电抗），电流将选择阻抗最小的通道。

