

高速电路板设计技术

今天，速度成为许多系统设计中最为重要的因素。100MHz 到上 GHz 的处理器已经非常普及，将来，会有更高速度的器件出现，以适应人们对于大量数据的处理，如图形处理、音视频处理等等。

高速系统的设计不仅需要高速的器件，还需要设计师的智慧与仔细的工作。这对于数字电路和模拟电路都一样重要。在高速系统中，噪声的产生是一个最值得关注的焦点。高频信号很容易由于辐射而产生干扰，高速变化的（high skew rate）数字信号会导致振铃（ringing）、反射（reflection）、串扰（crosstalk）等，如果没有经过认真的检查，这些噪声将严重降低系统的性能。

本文讲述高速系统设计的技术，包括：

- ◆ 电源分配系统（power distribution system）及其影响；
- ◆ 传输线及其相关的设计规则；
- ◆ 串扰及其消除；
- ◆ 电磁干扰。

1. 电源分配（Power Distribution）

在高速电路板设计中最重要考虑的就是电源的分配网络。电源分配网络必须为低噪声的电路板上各部分的电路，提供一个低噪声的电源，包括 VCC 和地。注意：一个干净的 VCC 和一个干净的地是一样重要的，因为对于交流信号，VCC 就是地。

电源分配网络同时还应为电路板上所有产生或接收的信号提供一个信号回路。这点经常被设计师们忽视，因为在低频电路中，信号回路的影响并不明显，许多设计在被忽视信号回路时也能工作得不错。

1.1 电源分配网络作为电源

1.1.1 阻抗的影响

假如有一块电路板，上面有多个数字 IC 和+5V 电源，忽略 IC 相对于电源的位置和线路噪声，那么+5V 电源传送到各个 IC 的电源管脚，并且保持+5V 不变。具有这些特性的电源，可原理性地代表一个理想的电源，它的阻抗是 0。0 阻抗保证了电源端的电压与负载端的电压一致，因为，噪声源的源阻抗相对于电源的 0 阻抗为无穷大，所有的噪声都将被这个理想的电源所吸收。遗憾的是，这仅仅是一个理想而已。理想电源特性如图 1.a 所示。

图 1.b 所示为一个实际电源，它具有一定的阻抗，图中以电阻、电感、电容网络的形式表示。事实上，阻抗是分布在整个电源分配网络中。因此，噪声将叠加在电源上。

设计的目标就是要尽可能地减小电源分配网络的阻抗。电源分配网络的形式可分为总线式（power buses）和电源层式（power planes）。通常电源层式比总线式有更好阻抗特性，但实际上，有的情况下，总线会更好。

1.1.2 电源总线和电源层

两种电源分配方案如图 2 所示。总线系统由一组具有电路板所需的各个电压的电源线组成。电源层系统则是由一个或多个电源层或多个层的电源部分组成，其中因需与元件管脚和过孔隔离有一些通孔。

早期的设计，由于 PCB 加工工艺及成本的制约，多用总线式的电源分配方案。电源总线与信号线在同一个层中，为所有的器件提供电源，同时还得为信号线挪出空间，所以电源线总是趋于长且细的带状线。这就相当于电源线上串有一个小电阻，尽管这个电阻很小，但它的影响却很大。甚至在一个只有 20 个器件的电小电路板上，假如每个器件吸收 200mA

电流，总的电流就达 4A。电源总线的这个电阻就算只有 0.125Ω ，也会产生 0.5V 的压降，也就是说在电源总线末端的器件得到的电源只有 4.5V。而对于电源层式的电源分配方案，由于电源通过整个层的金属来分配电源，其电源阻抗会小得多，所以电源噪声也会比总线式的小得多。

1.1.3 线路噪声的滤波

单单电源层并不能消除电源的线路噪声，因为所有的系统产生足够引起问题的噪声，不管采用哪种电源分配方案，电源线路需要抑制噪声的滤波。通常是用去耦电容来滤波，一般地，放置一个 $1\mu\text{F}$ 到 $10\mu\text{F}$ 的去耦电容在电源接入电路板处，滤除低频的噪声，放置一个 $0.01\mu\text{F}$ 到 $0.1\mu\text{F}$ 的去耦电容在板上每一个有源器件的电源管脚处，滤除高频噪声。因为滤波的目的是要滤除叠加在电源上的交流成分，所以好像滤波电容的容量越大越好。可事实上，并非如此，因为实际电容不具备理想的电容的所有特性。

理想的电容如图 3.a 所示，图 3.b 则为实际电容的等效电路。由于寄生参数等效为串联在电容上的电阻与电感，所以称之为等效串联电阻（ESR）和等效串联电感（ESL）。这样电容实际上就是一个串联谐振电路，谐振频率：

$$F_R = \frac{1}{2\pi\sqrt{LC}}$$

如图 4.a 所示，实际电容在低于 F_R 的频率呈现容性，而在高于 F_R 的频率上则呈现感性，所以电容更像是一个带阻滤波器，而不是一个低通（阻高频）滤波器。一个 $10\mu\text{F}$ 接在电路板电源入口处的去耦电容通常是电解电容，是由两片金属薄片夹着一片绝缘介质卷成圆筒状，分别从两片金属薄片引出两个管脚构成（如图 5 所示），这样的结构决定了它的 ESL 较大， F_R 小于 1MHz。它对于 50Hz 的噪声是一个很好的滤波器，但对于 100MHz 的高频开关噪声则一点作用都没有。

电容的 ESR 和 ESL 是由电容的结构和所用的介质决定的，而不是电容量。对于高频的抑制能力并不会因为更换更大容量的同类型电容而加强。更大容量的同类型电容的阻抗在低于 F_R 的频率下比小容量的电容会有更小的阻抗，但高于 F_R ，ESL 决定了两者的阻抗不会有什么区别。如图 4.b 所示。要提高高频抑制能力，只能更换具有更小 ESL 的电容。

电容的种类很多，对应于不同频率和应用场合，表 1 列出几种电容的比较。低 ESL 的电容通常是由非铁磁材料制造的，它的容量通常也比较小。其实更大的电容对于高频的滤波并没有更好的效果，图 6 比较了 $0.01\mu\text{F}$ COG 类电容与 $0.1\mu\text{F}$ 的另一类电容的频率特性，前者提供更好的高频特性。

Table 1. Bypass Capacitor Groups

Type	Range of Interest	Application
Electrolytic	$1\mu\text{F}$ to $> 20\mu\text{F}$	Commonly used at power-supply connection on board.
Glass-Encapsulated Ceramic	$0.01\mu\text{F}$ to $0.1\mu\text{F}$	Used as bypass capacitor at the chip. Also often placed in parallel with electrolytic to widen the filter bandwidth and increase the rejection band.
Ceramic chip	$0.01\mu\text{F}$ to $0.1\mu\text{F}$	Primarily used at the chip. Also useful where low profile is important.
COG	$< 0.1\mu\text{F}$	Bypass for noise-sensitive devices. Often used in parallel with another ceramic chip to increase rejection band.

任何一种电容都只有有限的有效频率范围，而作为系统有低频噪声，也有高频噪声，所以，常常要用不同类型的电容并联来达到更宽的有效频率范围。图 7 表示出，两种电容

并联增加了滤波的频率范围。

1. 1. 4 去耦电容的放置

电容选定以后,就需要将它放置在电路板上,图 8. a 所示为一种低速电路的去耦电容的标准放置,这样只是方便布线,并不能提供最有效的高频滤波性能。图 8. b 的放置方法,可以得到更好的高频性能,在这使用一个贴片电容,放置在元件的另一面。

对于多个 VCC 和 GND 的器件,如何获得最好的去耦效果,取决于器件本身,如果 VCC 和 GND 在内部就连接在一起了,则一般只需对一个 VCC 去耦,否则,就要对每一个 VCC 去耦。最好参照器件的规格书的推荐做法。

1. 2 电源分配网络作为信号回路

电源分配网络的一个更有意思的作用是为所有信号,包括产生或接收的信号,提供信号回路。考虑了这方面的电源分配设计可以消除很多高速噪声问题。

1. 2. 1 信号回路的特性

信号开关时能量的产生是高速电路中的产生噪声的根源。任一信号的开关,都产生一个交流电流,而电流需要一个回路。图 9. a 和 9. b 图示了信号电流的回路。信号的回路可由 VCC 或地提供,这们图 9. a 和 9. b 可等效为图 9. c。

信号线与信号回路构成一个电流环路,这个电流环路有一定的电感量,所以可以把它看成一个线圈。这可能恶化信号的振铃、串扰、辐射。环路的电感量和它所引起的问题,会随着环路包围的面积增加而增大。所以, **最小化环路面积,将最小化由于电流环路而引起的振铃、串扰、辐射等问题。**

具有电源层作回路的交流信号,将选择一条阻抗最小的回路。阻抗包括电阻、电容和电感,而金属层只有很小的电阻,主要是电感。这就是说,最小阻抗的回路也就是最小电感的回路。

如果 A 点到 B 点的信号有任意的回路,那么不一定是直线的那条回路的阻抗最小。如图 10,可知回路的电感随信号与信号回路之间的距离增大而增大。所以应该是最接近信号线的回路会有最小的电感,也就是最小的阻抗。最接近信号线的回路与信号线,所构成的环路面积自然也最小。电源层一定可以提供这样的信号回路。(环路——Loop,回路——Return Path。)

1. 2. 2 作信号回路的总线和电源层

图 2. a 所示的电源总线有固定的线路,信号的回路只有沿着这些线路走,不管是不是最佳的路线。除非布线时将信号线布在尽可能靠近电源线,以最小化信号回路,否则很容易产生大的信号回路,而产生较大的噪声。

而电源层作信号回路,并不限制信号的回路的路径,这样,回路总能沿着阻抗最小的路径走,从而减小噪声。所以电源层式电源分配系统是一个更好的解决方案。

尽管电源层相比总线有许多的优点,但这优点很可能被设计者破坏。因为在电源层的开口可能导致信号最佳回路的破坏,从而增大回路面积,如图 11 所示。所以在电源层上开口,应特别小心。

1. 3 电源分配方面考虑的电路板设计规则

下面的电路板设计规则可以帮助设计师利用电源层的优点,避免失误。

- ◆ **注意板上的通孔** (包括插件元件的管脚、过孔等)。通孔使得电源层上需要刻蚀开口以留出空间给通孔通过,而有些元件如很多管脚的连接器会导致电源层大的开口,就可能会引发较大的噪声。如图 12 所示,104 个管脚的连接器的管脚通过电路板,电源层必须开口,这就阻塞了信号的回路,所有信号的回路被迫绕到边上通过,回路面积就增大了,并且这些信号线共用这一段回路,公共阻抗将引发串扰。
- ◆ **连接线需要足够多的地线**。信号回路的原理同样适用于连接其它电路板的连接线,最

好每一信号均有自己独立的回路，而且信号与回路的环路面积尽可能小，也就是说信号与回路要并行。如图 13 所示，13.c 比较 13.a 和 13.b，是更好的设计。

◆ **模拟与数字电源的电源要分开**，如图 14 所示。高速的模拟器件一般对数字噪声很敏感，所以混合电路的电路板上的模拟电源与数字电源是分开的，在电源的入口处接在一起。但有些电路是连接模拟与数字电路的如 DAC 或 ADC，其信号跨越模拟和数字两部分，这时可以在信号跨越处放置一条回路以减小环路面积，如图 14。

◆ **避免分开的电源在不同的层之间重叠**。否则噪声很容易通过寄生电容耦合过去。

◆ **隔离敏感元件**。有一些元件对干扰特别敏感，如 PLL，需要一个更好的隔离。在电源层刻蚀一个 U 形的隔离舱，将敏感元件放置在其中，这样，外部的噪声只能沿着 U 形槽走，避免靠近敏感元件。但有一点必须注意，**所有与敏感元件相连的信号只能从 U 形舱的开口处进出隔离舱，其它信号则要绕过隔离舱**。如图 15 所示。

◆ **在信号线边上放置电源线**。有时设计者要用单层板或双层板来做设计，这就不得不用总线式的电源供电。为最小化信号环路面积，通过放置电源线在信号线边上来实现减小噪声。如图 16 所示。

2. 信号传输线 (Transmission Line)

控制信号线与交流地之间的关系利用了信号总选择阻抗最小的路径作为回路的倾向。另外也可利用控制信号线上的阻抗为一个常数来更好地传输信号。阻抗为常数的信号线叫阻抗受控线，它为电路板上信号传输提供最好的媒介。(以上这段我觉得很难翻译，看原文比较好理解，所以拷贝原文如下：Controlling the relationship between the signal line and AC ground takes advantage of the return signal's tendency to take the path of least impedance. Another advantage is the constant impedance along the signal line. Such signal lines are called controlled-impedance lines, and they provide the best medium for signal transmission on the board.

然而，当信号延迟时间(Delay)远大于信号跳变时间(Transition Time)时，信号线必须当作传输线。一个没有合适端接的传输线容易产生反射，导致信号的失真，在负载端产生振铃，使系统速度变慢，如图 17 所示。这也可能使系统时序错乱，使系统不能正常工作。

阻抗受控线的模型如图 18 所示。电感 L_0 和电容 C_0 均匀地分布在线上，它们的单位是亨利/单位长度和法拉/单位长度。从这个模型可以得到两个重要的参数：阻抗 Z_0 和传输延迟时间 t_{PD0} 。在一个无损的信号线上， Z_0 是一个交流阻抗，对于驱动电路来说，它是一个纯电阻，单位是 Ω ，并且：

$$Z_0 = \sqrt{\frac{L_0}{C_0}}$$

传输延迟时间同样也取决于 L_0 和 C_0 ，单位为时间单位/单位长度，且：

$$t_{PD0} = \sqrt{L_0 C_0}$$

2.1 传输线的分类

由于这里要讨论的是 PCB 设计，只可能碰到两种传输线：带状线 (stripline) 和微波线 (microstrip)，如图 19 所示。带状线是指信号线夹在两个电源层之间，理论上它能最好地传输信号，因为它两边都有电源层的屏蔽，但很不幸，它让信号线隐藏在内部，不利于测试。微波线的信号线在外层，地层在信号线的另一边，这样就易于测试。

L_0 、 C_0 、 Z_0 和 t_{PD0} 是由信号线的物理特性和电路板介质特性决定的，对于带状线有：

$$Z_0 = \frac{60}{\sqrt{\epsilon_R}} \ln \frac{4h}{0.67 \pi w \left(0.8 + \frac{t}{w}\right)} \Omega$$

$$t_{PD0} = 1.017 \sqrt{\epsilon_R} \text{ ns / ft}$$

$$C_0 = 1000 \frac{t_{PD0}}{Z_0} \text{ pF / ft}$$

$$L_0 = Z_0^2 C_0 \text{ pH / ft}$$

对于微波线：

$$Z_0 = \frac{87}{\sqrt{1.41 + \epsilon_R}} \ln \frac{5.98 h}{0.8 w + t} \Omega$$

$$t_{PD0} = 1.017 \sqrt{0.457 \epsilon_R + 0.67} \text{ ns / ft}$$

$$C_0 = 1000 \frac{t_{PD0}}{Z_0} \text{ pF / ft}$$

$$L_0 = Z_0^2 C_0 \text{ pH / ft}$$

ϵ_R 是电路板介质的相对介电常数，普通的环氧层压玻璃纤维的相对介电常数 ϵ_R 大约为 5。PCB 板材供应商供应的 1 盎司 (oz) 铜 PCB 板材的金属层厚度约为 1 mil。信号线的宽度一般为 8 到 15 mils，典型值为 10 mils。层间距离由所要求的板的厚度与层数决定。假如微波线：线宽 $w = 10$ mils，线厚 $t = 1$ mil，层间距 $h = 30$ mils，介质相对介电常数 $\epsilon_R = 5$ ，那么可计算出： $Z_0 = 102.8 \Omega$ ， $t_{PD0} = 1.75 \text{ ns/ft}$ ， $C_0 = 17.0 \text{ pF/ft}$ ， $L_0 = 180 \text{ uH/ft}$ 。

有一个传输线阻抗计算软件，是根据这些公式和一些经验数据开发出来的，可以帮助设计师计算传输线的阻抗。这个软件可到 www.21ic.com 的下载中心查找下载，或与 youngpeng@163.net 联系。

2.2 分布负载的传输线的阻抗计算

上一节中对传输线的阻抗的计算是针对在传输线的末端接上集总负载的情况的（如图 21），如果负载是分布在传输线上时（如图 22），（高速信号的负载通常都以一电容来表征。）这些负载电容将分布在传输线上，并增加线电容，这样就改变了传输线的特征参数阻抗 Z_0 和传输延迟时间 t_{PD0} 。改变后的阻抗 Z 和传输延迟时间 t_{PD} 可由 Z_0 、 t_{PD0} 和负载电容 C_L （单位为法拉/单位长度）得出：

$$Z = \frac{Z_0}{\sqrt{1 + \frac{C_L}{C_0}}} \Omega$$

$$t_{PD} = t_{PD0} \sqrt{1 + \frac{C_L}{C_0}} \text{ ns / ft}$$

2.3 反射

信号源产生带有能量的信号，接入阻抗为 Z_0 的传输线，**尽管传输线被视为一个电阻，但它并不消耗能量，信号的能量必须通过负载阻抗吸收。**

从信号源到负载的最大能量传输要求负载阻抗等于源阻抗。如果两者不相等，那么信号的一部分能量被负载吸收，一部分被反射回信号源，信号源就会产生相应的变化去补偿输出。这样，负载端的信号波形就可以当作反射波与信号源输出的叠加。反射波会怎么样，取决于线阻抗与负载阻抗的失配情况及信号跳变时间（transition time）与传输延迟时间（propagation delay）的比率 t_R/t_{PD} 。

如果跳变时间远大于传输延迟时间，信号反射回信号源时，信号源的输出只改变一点点，所以反射对信号只引起小小的扰动，在负载端表现为小小的过冲。

如果传输延迟时间足够大，以至当反射信号返回信号源时，信号源的输出已经改变了许多，这样，信号源就得作出较大的变化去补偿输出，而负载端又反射信号新一轮的变化，这样就产生所谓的振铃（ringing），如图 17 所示。

过冲的幅度跟着信号线的长度成比例地变化，直到传输延迟时间等于跳变时间时，过冲的幅度会和源信号的跳变幅度一样大。

信号线足够长到可以产生很大的反射时，信号线就当成传输线。确切地哪个点上，信号线将被当成传输线，还取决于对信号失真的容忍度。宽松地认为当跳变时间小于传输延迟时间的 4 倍时，即 $t_R/\tau < 4$ 时，信号线将当成传输线。而保守一点，则认为当跳变时间小于 8 倍的传输延迟时间时，信号线将当作传输线。通常地， t_R/τ 的值越大，得到的信号质量越好。

由此，可以判断上面所讨论的微波线在多大长度时将被视为传输线。目前多数器件的跳变时间 t_R 为 5ns（双极）到 1ns（新的双极、CMOS），表 2 给出了在跳变时间 $t_R = 4\tau$ 时对应的信号线长度。

Table 2
Example: t_R and Corresponding Transmission-Line Length for $\frac{t_R}{\tau} = 4$

t_R (ns)	Line Length (inch)
5	8.6
4	6.9
3	5.1
2	3.4
1	1.7

对于跳变时间为 5ns 的器件的信号线，当长度小于 8.6 英尺时，不必把它当作传输线。而对于高速器件，甚至只有 2 英尺的信号线，也可能是传输线。在实践中，常常把高速器件的所有信号线都当作传输线。

Table 3
Example: t_R and Corresponding Transmission-Line Length with Lumped and Distributed Loads for $\frac{t_R}{\tau} = 4$

t_R (ns)	Line Length (inch)	
	Lumped Load	Distributed Load
5	8.6	3.6
3	5.1	2.17
2	3.4	1.4
1	1.7	0.75

如果传输线的负载如上节讨论的为分布负载，那么传输线的最小长度会更小。表 3 给出了分布负载和集总负载对应不同跳变时间在 $t_R = 4\tau$ 时的信号线长度。

2.4 反射的计算

信号线的长度足够长时被视为传输线，传输线的反射信号的大小取决于传输线阻抗 Z_0 与负载阻抗 Z_L 的差别。反射信号与原信号的比值，称为反射系数 K_R ，且：

$$K_R = \frac{Z_L - Z_0}{Z_L + Z_0}$$

所以对于负载开路的传输线有：

$$K_R = \frac{\infty - Z_0}{\infty + Z_0} = 1$$

对于负载短路则有：

$$K_R = \frac{0 - Z_0}{0 + Z_0} = -1$$

也就是说，负载开路或短路，信号全部反射回去。短路时反射回去的信号是反向的 ($K_R = -1$)。

PCB 上，很容易估计出传输线与负载的失配类型。 Z_0 的典型值为 $30 \sim 150 \Omega$ ，器件的输入阻抗也就是信号的负载阻抗，从 $10K$ （双极） $\sim 100K \Omega$ （CMOS），而输出阻抗则很小，比如 PALCE16V8 的低电平输出（ $0.2V$ $24mA$ ）的输出阻抗大约为 8Ω ，高电平输出阻抗约为 50Ω （与 Z_0 相当）。

假如一阻抗为 67Ω 的微波线，以 PALCE16V8 的输出为信号源，CMOS 器件为负载，下面讨论信号从高到低的变化过程：

源输出阻抗： $Z_S \approx V_{OL}/I_{OL} = 0.2V/24mA = 8.3 \Omega$

负载阻抗，即 CMOS 的输入阻抗约为 $100K \Omega$ ，远大于源输出阻抗，所以在负载端的反射系数约 K_R 为 1。而在源输出端对于传输线上返回输出端信号的反射系数：

$$K_{RS} = (8.3 - 67)/(8.3 + 67) = -0.78$$

源输出一个高变低，也就是 $3.5V$ 变到 $0.2V$ 的信号，由于源输出阻抗与传输线阻抗形成一个分压，所以在 PALCE16V8 输出端得到的交流信号：

$$\Delta V = (0.2 - 3.5) * Z_0 / (Z_0 + Z_S) = (0.2 - 3.5) * 50 / (50 + 8.3) = -2.84V$$

（原文计算有误， Z_0 应为 67Ω ，而不是 50Ω ，为了使数值与图示一致，在这不作更正。以下计算也可能有误，同样原因也不作更正。）

在 GALCE16V8 的输出端交流信号： $V_{S1} = 3.5V - 2.84V = 0.66V$

当 ΔV 到达负载端时，产生完全反射，反射信号 V_{R1} 为 $-2.84V$ 。因负载端原来的电压为 $3.5V$ ，加上到达的 ΔV ($-2.84V$) 和反射信号 ($-2.84V$)，负载端的电压变为：

$$V_{L1} = 3.5V - 2.84V - 2.84V = -2.19V$$

反射信号返回到输出端时，也发生反射，反射系数 $K_{RS} = -0.78$ ，这个第二次反射信号：

$$V_{R2} = V_{R1} * K_{RS} = 2.21V$$

这时输出端交流信号： $V_{S2} = 0.66V - 2.84V + 2.21V = 0.035V$

第二次反射信号又返回到负载端，这时负载端电压为：

$$V_{L2} = -2.19V + 2.21V + 2.21V = 2.24V$$

信号如此往返，每往返一次，信号就减弱一些，如图 23 所示。同样在时域上的表示，如图 25 所示。请注意，在经过 5 个往返之后，负载端电压降至低于输入门限电压。传输延迟时间一般为 $2ns/ft$ 到 $5ns/ft$ ，假如取 t_{PD} 为 $3ns/ft$ ，线长为 6 英寸的话，线传输延迟时间为 $1.5ns$ ，那么在信号经过 $13.5ns$ 之后，在负载端就可以得到正确的传输信号。

2.5 端接

上例中的反射对于大多数系统来说是太大了，所以需要一种技术来消除，至少减小这个反射。由于反射在 $Z_0=Z_L$ 时，才能消除，所以可以通过在负载端并联一个电阻来减小负载阻抗到 $Z_L=Z_0$ 以消除第一次反射——这种方法称为并联端接。也可以通过在输出端串联一个电阻来增加源阻抗到 $Z_S=Z_0$ 以消除第二次反射——这种方法称为串联端接。

并联端接如图 25. a 所示，由于输入阻抗往往都很高，所以通常使 $R_T=Z_0$ 。这种方法有一个缺点：高电平输出时的电流消耗太大。对于 $50\ \Omega$ 的端接，它将消耗多达 48mA 的电流，远大于大多数器件的高电平输出电流 3.2mA ，这很显然，这种方法超出了器件所能支持的范围。把并联电阻端接到 VCC 上会有一定的改善，因为器件的低电平吸收电流通常都高于高电平输出电流，然而，大多数板级器件的低电平吸收电流为 24mA 或更小，这依然达不到这种端接的要求。

如图 25. b 所示的方法可以大大减小对输出电流需求。两个电阻的戴维宁等效与图 25. a 一致。尽管这是一个很好的想法，但它要求有更大输出电流的电源，因为这两个电阻是跨接在 VCC 与地之间的。图 25. c 所示的方法，是将并联电阻端接在一个 3V 到 2.5V 的电压源上，但是，很遗憾，很难找到一个能高速地从吸收电流转换到输出电流的电压源来响应信号的跳变。

以上三种并联端接都不实用。还有一种并联端接方法，如图 25. d 所示，是用一个串联 RC 网络作并联端接，其中 $R_T=Z_0$ ，电容为 100pF 数量级，确切的容量并不重要，它只是用来通高频阻低频。这样对于输出驱动来说，就不存在直流负载了。这种端接方法称为交流并联端接。

在负载端的端接设计是为消除信号的第一次反射。还有一个消除反射的方法——串联端接，是在输出端串联一个电阻，这个电阻可认为是源阻抗的一部分，这样就可以增加源阻抗到 $R_T+Z_S=Z_0$ 以消除第二次反射。如图 25. e 所示。这种端接对于集总负载工作得很好。由于 $R_T+Z_S=Z_0$ ，所以 R_T+Z_S 与 Z_0 的分压使跳变减为原来的一半，这个信号传输到负载端后（负载阻抗很大）被完全反射，反射信号与原信号叠加在一起后，信号大小又翻倍，就与源信号大小一样了。这样就可利用第一次反射来达到输出信号完全传送到负载端。反射信号返回到输出端时，由于 $R_T+Z_S=Z_0$ 而被完全传输，不再发生第二次反射。如图 26 和图 27 所示。

当负载为分布负载时，串联端接就成为一种很危险的做法，因为负载并不在传输线的末端，将会有一些中间电压直到它们的反射信号返回输出端将它们清除。同时也增加信号传输的延迟，因为只有当最靠近输出端的那个器件得到一个有效的输入时，这个信号才能算有效。在反射信号返回后，最靠近输出端的器件的输入才有效，这个延迟比起集总负载的串联端接要大，因为分布负载减小了传输线的阻抗 Z_0 ，增加了延迟时间 t_{PD} 。

尽管有这个缺点，串联端接还是很成功地应用在 DRAM 的驱动上，甚至当 DRAM 分布在传输线上时。通过选择合适的 R_T 来减小信号在输入阈值附近的摇摆和额外的延迟的危险，所以通常驱动器的 Z_S 总是比 Z_0 小，以便安排合适的 R_T 。

因为端接不可能达到完全匹配，所以可能会产生振铃。如果振铃的大小在可容忍的范围内，并不会产生什么问题。其实，振铃有时会被淹没在存储线的高电容性中。

通常一个非常匹配的端接是不可能的，因为驱动器的高电平输出阻抗和低电平输出阻抗是差别。这使得端接电阻的选择变得很难，因为不可能有一个对于两种情况都很理想的端接电阻，设计者必须折衷选择。

2.6 传输线的布线规则

阻抗受控信号线是信号在电路板上传输的合适的媒介，合适的端接将确保信号的抗干扰性。但仍然有可能因不适当的布线导致较大的噪声。下面的布线规则可增强电路板的性

能:

- ◆ 避免传输线的阻抗不连续性。阻抗不连续点就是传输线突变的点，如直拐角、过孔等，它将产生信号的反射，所以应尽可能避免。布线时注意以下几点：
 1. 避免走线的直拐角，如图 28. a。如果是直拐角则可以通过如图 28. b 所示的办法修正，改善阻抗的不连续性。尽可能用 45 度角走线，或弧线，如图 28. c 和 28. d 所示。
 2. 尽可能少用过孔，因为每一个过孔都是一个阻抗不连续点。如图 29 所示。
 3. 外层的信号避免通过内层，内层的信号也避免跑到外层。因为内层信号线属于带状线，而外层信号线属于微波线，两种不同类型的传输线的阻抗是不同的，如果信号从内层到外层，或从外层到内层，就会产生反射。
- ◆ 不要用桩线。布线时很容易走出如图 30. a 那样的桩线，这些都是噪声源。如果桩线很短，那么，只需在传输线的末端端接就可以了，尽管分布的负载降低了传输线的阻抗。如果桩线足够长的话，也是一条条的传输线，它以主传输线为源，同样地产生反射，情况就变得很复杂。所以应避免长的桩线，可改用如图 30. b 所示的两条走线，并在两条线的末端都作端接。

3. 串扰

串扰是信号间不希望有的耦合，串扰有容性串扰和感性串扰，感性串扰占的大例要比容性串扰大得多。串扰可以通过一些简单的办法来有效地抑制。

3.1 容性串扰

容性串扰就是信号线间的容性耦合，当信号线在一定长度上靠得比较近是就会发生。如图 31 所示的两根信号线，分别称为噪声源和噪声接收线。由于线间的寄生电容，噪声源上的噪声就会通过电流注入的形式耦合到噪声接收线上。在传输线上，对这个电流来说两边的阻抗都为 Z_0 ，它将向两边传输，直到它消耗在源和负载上。产生的电压尖峰值是由 Z_0 决定的。当电流脉冲通过 Z_L 和 Z_S 时，产生的电压与其阻抗成正比。如果阻抗不匹配，将产生反射。在没有端接的情况下，在 Z_L 产生的电压尖峰将非常大。所以在负载端端接可以大大减小下一个器件输入端的电压噪声。

容性串扰也可通过将两信号线分开一些来减小，分开得越远，寄生电容就越小，容性串扰就越小。电路板的空间有限，不可能将信号线分开得很远。还有一个办法如图 32 所示，放置一根地线在两相邻信号线的中间，可以有效地减小容性串扰。因为信号直接耦合到地线上了，而不是相邻的信号线。注意这根地线必须是纯粹的地。如果仅仅是在地线的两端连接到地上的话，这根地线就有较高的阻抗。为了更好地接地，这根地线必须每 $1/4\lambda$ 的距离加一个过孔接到地层。 λ 为信号线上信号的最高频率的波长 $\lambda = \text{vel} * \text{period} = 1/t_{PD} * 1/f_{\text{max}}$ 。对于数字信号，关心的最高谐波频率通常认为是 $1/(\pi t_R)$ 。以 $t_R = 1.25\text{ns}$ 为例，

$$f_{\text{max}} = 1/(\pi * 1.25\text{ns}) = 255\text{MHz}。$$

以 $t_{PD} = 4.14\text{ns/ft}$ 为例，(in——英寸)

$$\lambda = 1/(4.14\text{ns/ft}) * 1/255\text{MHz} * 12\text{in/ft} = 11.4\text{in}$$

$$\lambda / 4 = 2.8\text{in}$$

3.2 感性串扰

感性串扰可以想象成信号在一个不希望有的寄生变压器初次级之间的耦合，如图 33，变压器的绕组为电路板上信号电流环路。这个环路可能是由于布线时的疏忽而产生的人为环路，也可能是信号的自然回路形成的。如图 34. a 和 34. b 所示。人为环路可以通过如图 34. c 所示的办法消除。感性串扰的大小取决于两个环路的靠近程度和环路面积的大小，及所影响的负载的阻抗。两个信号环路靠得越近、环路面积越大，串扰也越大。在负载端的

感性串扰信号的大小与容性串扰一样，随着负载阻抗的增大而增大。

3.2.1 环路面积和靠近程度

环路的电感量与环路的面积成正比。当两个信号环路相互作用时，其中一个有初级电感 LP，另一个有次级电感 LS，如图 33. b 所示。由于信号线并不是有意地设计成变压器的，这是一种有害的寄生效应，使信号相互干扰。当两个信号线的一部分回路重合时，环路就产生相当于自耦变压器的效应，如图 35 所示。所以保证每个信号都有其独立的回路，可以消除由此引起的干扰。

3.3.2 负载阻抗

如果感性串扰是由于人为的环路造成，那么解决办法就是消除这个环路。然而，有时要找出这个环路是一件很困难的事。如果感性串扰是由信号和信号的自然回路构成的环路所引起的，很明显，不能去消除这个环路，那么可以通过减小负载阻抗的方法来减小串扰。如图 36 所示，为次级环路的简化原理图，这里 ZS 是环路固有的阻抗，电流 iS 是环路电流，所以在环路里是一样大小的，所以在环路上的阻抗越大，产生的电压降就越大。在没有端接的信号线上，大的阻抗就在器件的输入端，而输入端又是最不希望有较大的噪声的，所以在输入端也就是信号线的末端端接可以大大减小噪声。通常端接电阻 RT 的大小在 30 到 150 Ω ，这将使负载阻抗降低至少两个数量级，相应地，串扰噪声也降低，但大小还得看 ZS 的大小。尽管 ZS 的大小很难估计，但负载阻抗能下降两个数量级，一定会有不小的作用。

3.3 串扰抑制方法总结

- ◆ 由于容性串扰和感性串扰的大小均随负载阻抗的增大而增大，所以应对由串扰引起的干扰敏感的信号线进行适当的端接。
- ◆ 增大信号线间的距离可以有效地减小容性串扰。
- ◆ 在相邻信号线间插入一根地线也可以有效减小容性串扰，这根地线需每 1/4 波长就接入地层。
- ◆ 对于感性串扰，应尽量减小环路面积，如果允许的话，消除这个环路。
- ◆ 避免信号用共回路。

4. 电磁干扰 (EMI)

EMI 随着电路速度的提高，变得越来越严重。而高速器件也容易对干扰敏感，它们可能会接收高速的假信号，低速器件则会忽视这样的假信号。甚至一个系统或是电路板，它本身对电磁干扰不敏感，但 FCC、VDE、CCITT 等系统或电路板产生的高频噪声包括辐射和传导噪声有一个很严格的限制。

减小 EMI 的途径通常有：屏蔽、滤波、消除电流环路和尽量降低器件的速度。屏蔽不在本文的讨论范围，以下讨论其它几种减小 EMI 的途径。

4.1 环路

有所有的设计中，环路都是不可避免的。环路相当于一个天线。最小化环路引起的 EMI 问题，意味着要减少环路的数量及环路的的天线效应、别产生人为的环路、尽量减小环路的面积。

确保信号在任意的两点上只有唯一一条回路路径，可以避免人为环路。尽可能地用电源地层，这样可以保证信号的自然回路与信号的环路面积最小。在用电源地层时，应注意信号回路不被阻塞。

4.2 滤波

在电源线上经常采用滤波的方法来减小 EMI，有时也用在信号线上。信号线的滤波只被推荐为最后的手段，当其它方法无法消除信号噪声时。

滤波通常有三种选择：去耦电容、EMI 滤波器、磁性元件。去耦电容在第一节中已经讨论过了。EMI 滤波器的种类很多，应用在不同频率范围的都有。磁性元件则是用以高频抑制的。

4.2.1 EMI 滤波器

EMI 滤波器是商业性的器件，设计用以衰减高频噪声，它主要用在电源线的滤波。一般用它来隔离电路板或系统内外的电源，其作用是双向的，既过滤输入的噪声，也过滤输出的噪声。EMI 滤波器是电容电感的组合，选择怎么样的组合取决于滤波器接入端的阻抗大小，通常在这几种组合：穿心电容、L 型滤波器、 π 型滤波器、T 型滤波器，如图 37 所示。

- ◆ 穿心电容只是一个电容，适用于两端都为高阻的场合，但它不提供接入两端之间的高频隔离。
- ◆ L 型滤波器，适用于两端阻抗相差较大的场合，电感端接入到阻抗低的一端。
- ◆ π 型滤波器，与穿心电容一样，适用于两端都为高阻的场合，但它提供更高的衰减。
- ◆ T 型滤波器，适用于两端都为低阻抗的场合。

EMI 滤波器通常以插入损耗来衡量其性能，单位为 dB。供应商一般会提供其产品的插入损耗-频率图。

4.2.2 磁性元件

磁性元件是由铁磁材料构成的，用以抑制高频噪声。常见的有磁珠、磁环、扁平磁夹子。磁环和扁平磁夹子一般用在连接线上，如图 38 所示。磁性元件工作原理如图 39 所示，相当于在线上串入一电感。厂家会提供与图 40 类似的特性图，设计者必须根据需求来选择相应的磁性元件。图 39 中，线上串入一个磁性元件的插入损耗

$$\text{loss(dB)} = 20\log_{10}[(Z_S + Z_F + Z_L)/(Z_S + Z_L)]$$

磁性元件并不增加线路的直流阻抗，这使得它非常适合用在电源线上作噪声抑制器件。

由于磁珠很小也很容易处理，所以有时也把它用在信号线上以抑制高频噪声。但这种做法并不推荐，因为它掩盖了问题的本质原因，影响信号的边缘斜率，但在 PCB 设计完成后，其它方法无法再使用时，它可作为最后的选择。

4.3 器件的速度

在给定的频率范围内，器件产生的能量越少，辐射的噪声就越小。高速器件，按定义，其跳变时间更短，更短的跳变时间，就意味着在高频范围里有更多的能量，也就是产生更多的噪声。图 41 给出了一个脉冲（图 41.a 所示）的傅立叶变换（图 41.b 所示）。在傅立叶变换曲线上有两个拐点，一个为 $1/\pi t_L$ （这个频点是由脉冲宽度决定的），另一个为 $1/\pi t_F$ 或 $1/\pi t_R$ （这个频点是由脉冲的跳变决定的）。在 $1/\pi t_F$ 或 $1/\pi t_R$ 后，曲线下降得非常快。通常， $1/\pi t_F$ 或 $1/\pi t_R$ 为信号的最高有效频率。

例如，PAL16R8-4 系列的典型跳变时间为 2ns，实际跳变时间可达 1.25ns，那么最高有效频率

$$f = 1/(\pi * 1.25\text{ns}) = 254\text{MHz}$$

由于信号中的这个高频成分，系统或电路板，就可能需要增加滤波或屏蔽来通过 EMI 相关的管理机构的认证。

如果系统要求的速度很高，那么必须用足够高速度的器件，为此可能需要作出额外的努力以满足 EMC，这也是合理的。但如果更低速度的器件可以满足系统的要求，那就没有必要用更高速的器件。

5. 总结

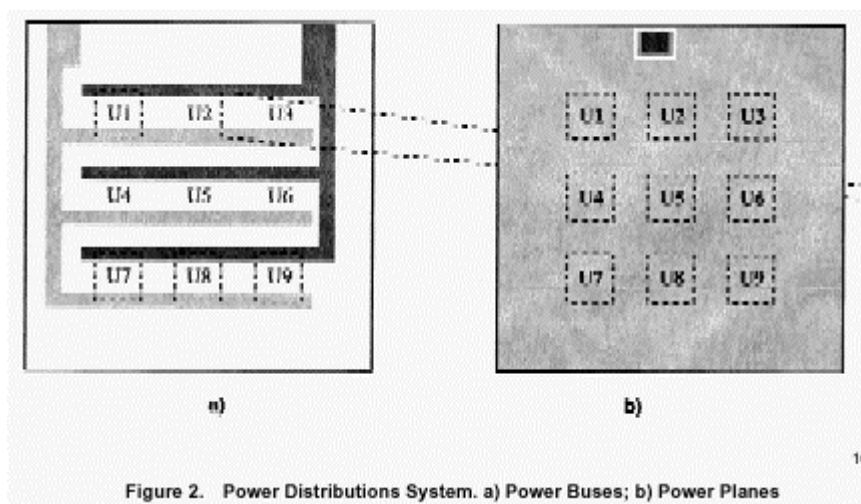
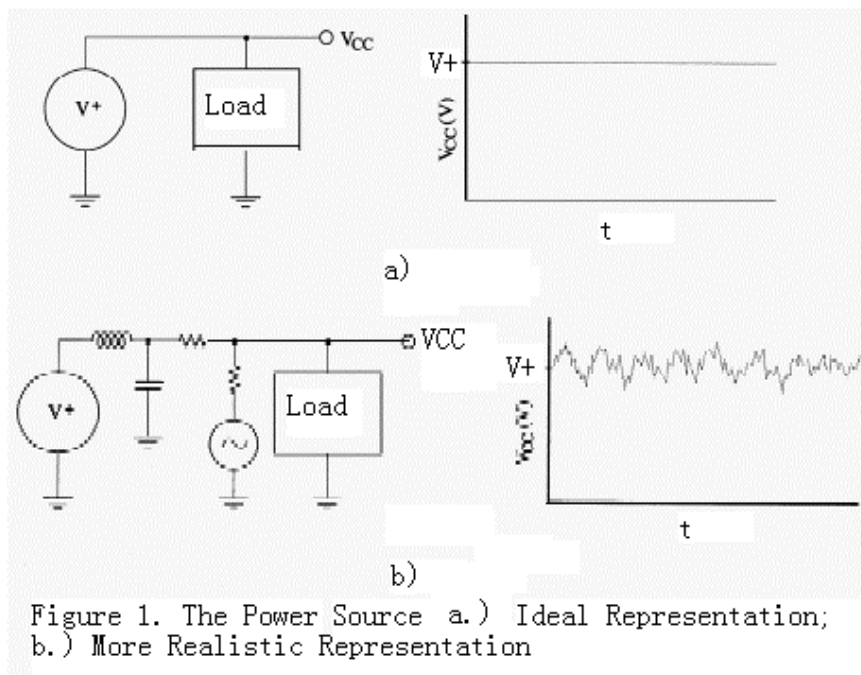
当更高速度的技术在理论上为更高速度的系统提供的可能性，在变可能为现实时，必

须特别小心。遵循以下原则可以消除高频噪声：

- ◆ 电源与地的统一、稳定
- ◆ 仔细考虑的布线和合适的端接可以消除反射
- ◆ 仔细考虑的布线和合适的端接可以减小容性和感性串扰
- ◆ 需要抑制噪声来满足 EMC 要求

当然，还有其它比较次要的原则，但这些不在本文讨论的范围内。一些相关参考列举如下：

- ◆ Sherman Lee, Mark McClain, Dave Stoenner. “Am29000 32-Bit Streamlined Instruction Processor Memory Design Handbook” Advanced Micro Devices Inc., Sunnyvale, CA, Appendix A, Memory Array Loading Calculations.
- ◆ William R. Blood Jr. “ECL Systems Design Handbook” Motorola Semiconductor Products Inc., Mesa, AZ, May, 1983 (Fourth Edition) Chapters 3 and 7.
- ◆ Ramo, Whinnery, and Van Duzer, “Fields and Waves in Communications Electronics” John Whilley & Sons, 1965, Chapter 1.



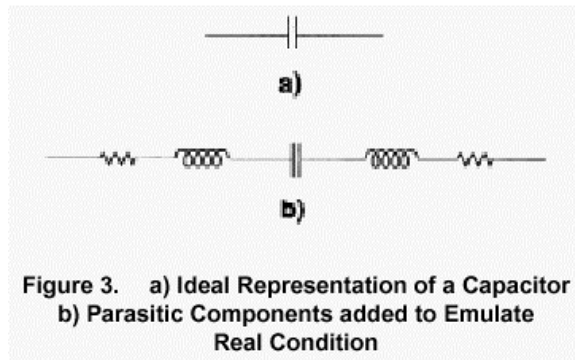


Figure 3. a) Ideal Representation of a Capacitor
b) Parasitic Components added to Emulate Real Condition

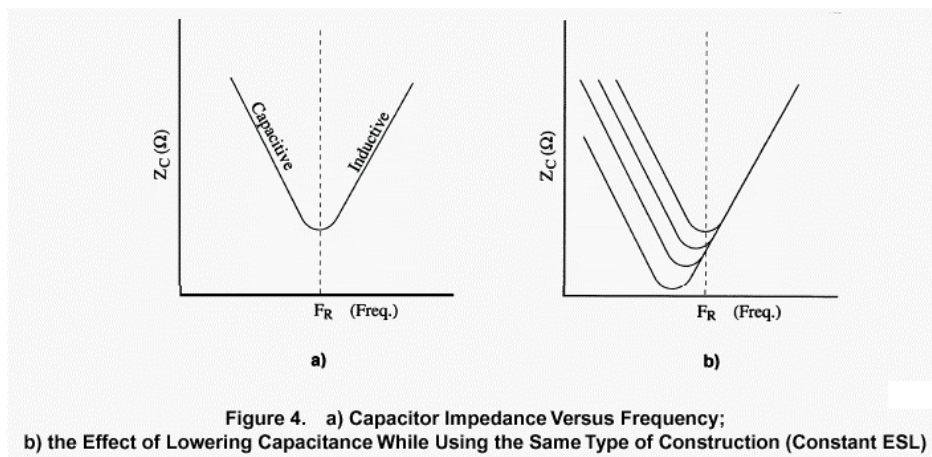


Figure 4. a) Capacitor Impedance Versus Frequency;
b) the Effect of Lowering Capacitance While Using the Same Type of Construction (Constant ESL)

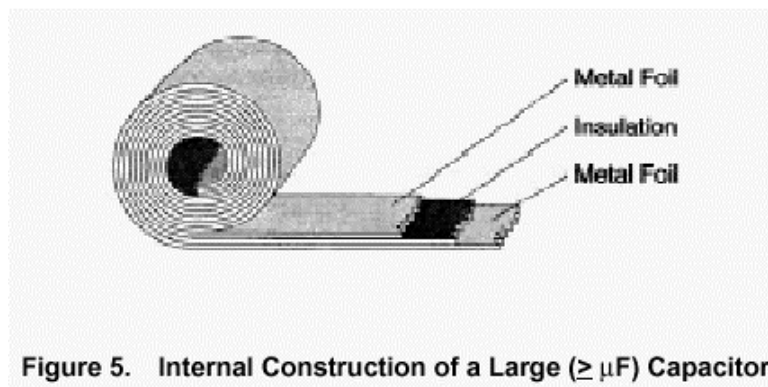


Figure 5. Internal Construction of a Large ($\geq \mu\text{F}$) Capacitor

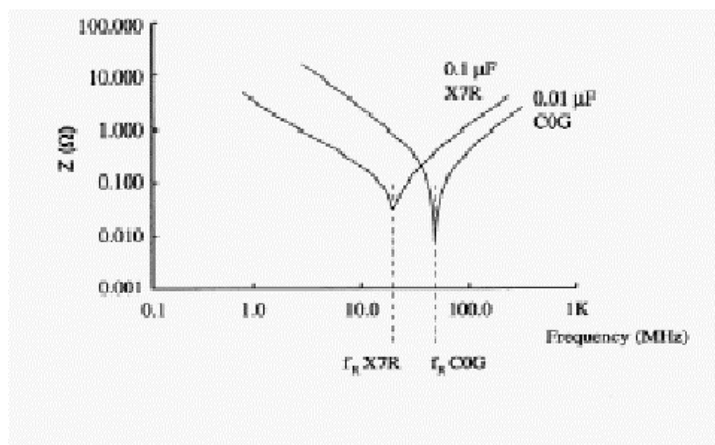


Figure 6. Frequency Response of X7R and C0G Type Construction

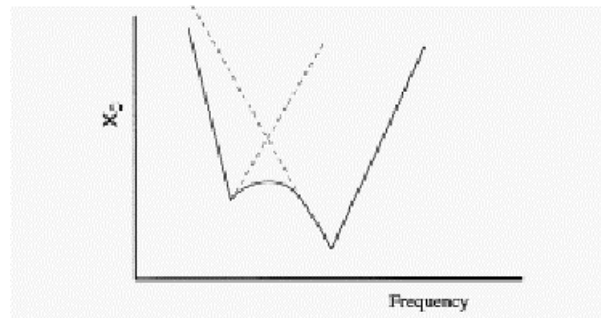


Figure 7. Frequency Response of Two Capacitors in Parallel

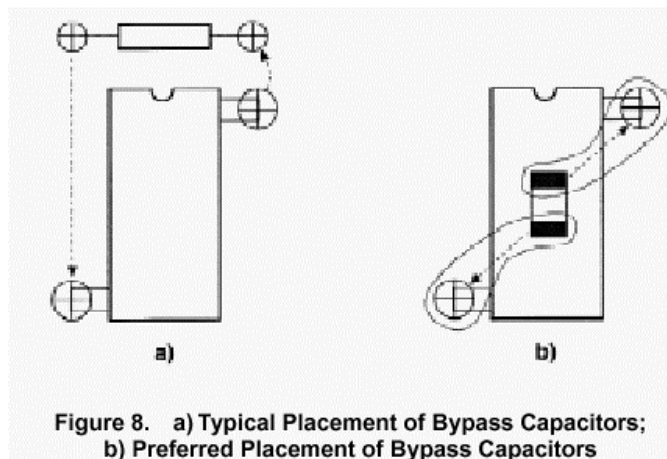


Figure 8. a) Typical Placement of Bypass Capacitors; b) Preferred Placement of Bypass Capacitors

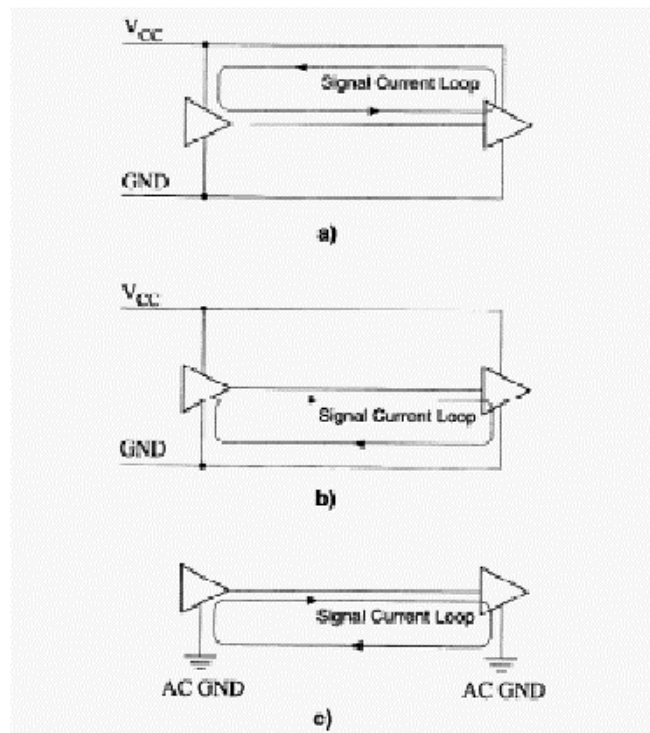


Figure 9. Current Loop of a Signal on the Board.
a) Through V_{CC} ; b) Through Ground; c) The Equivalent AC Path

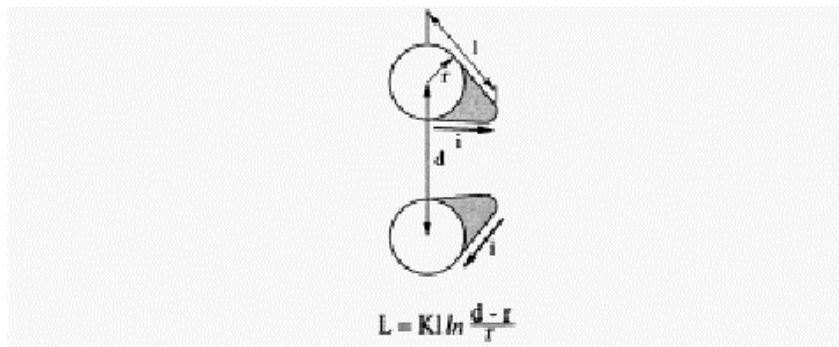


Figure 10. Inductance Increases as the Signal and Return Path are Separated

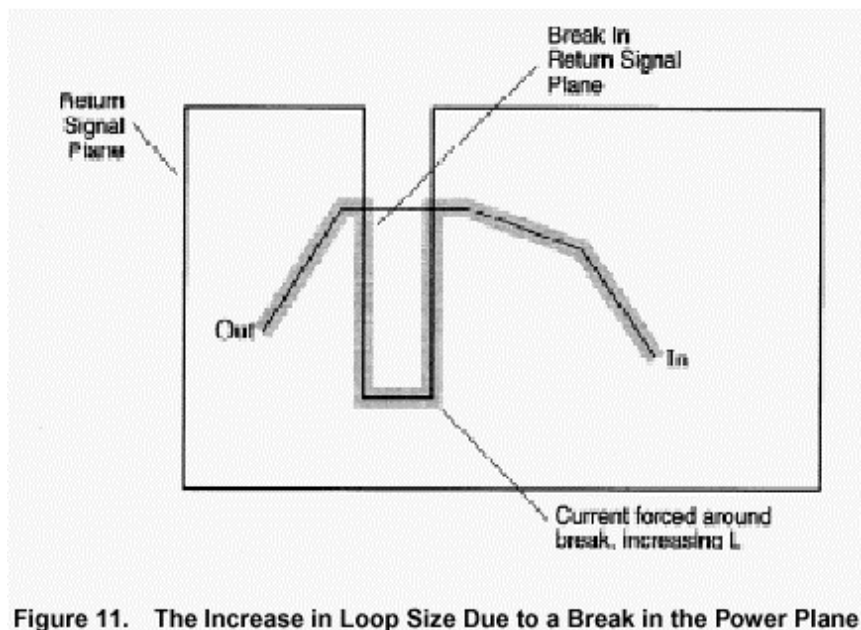


Figure 11. The Increase in Loop Size Due to a Break in the Power Plane

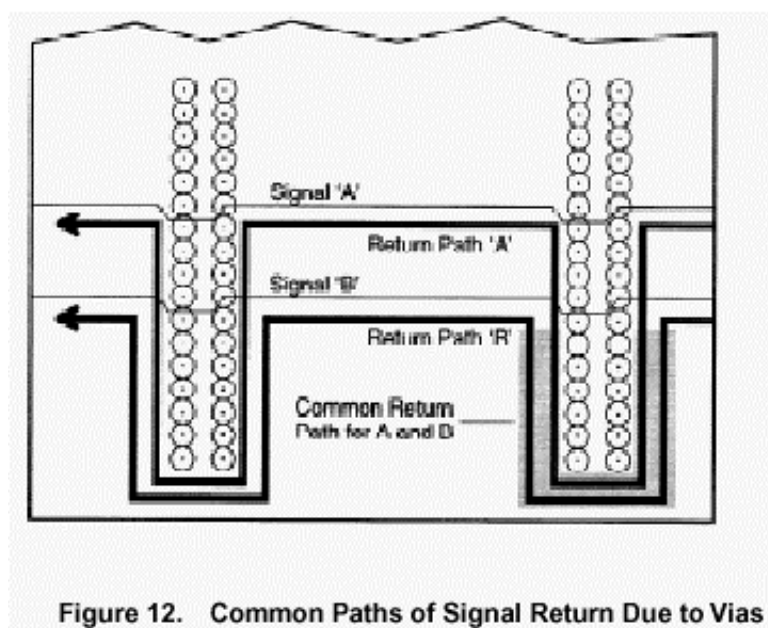


Figure 12. Common Paths of Signal Return Due to Vias

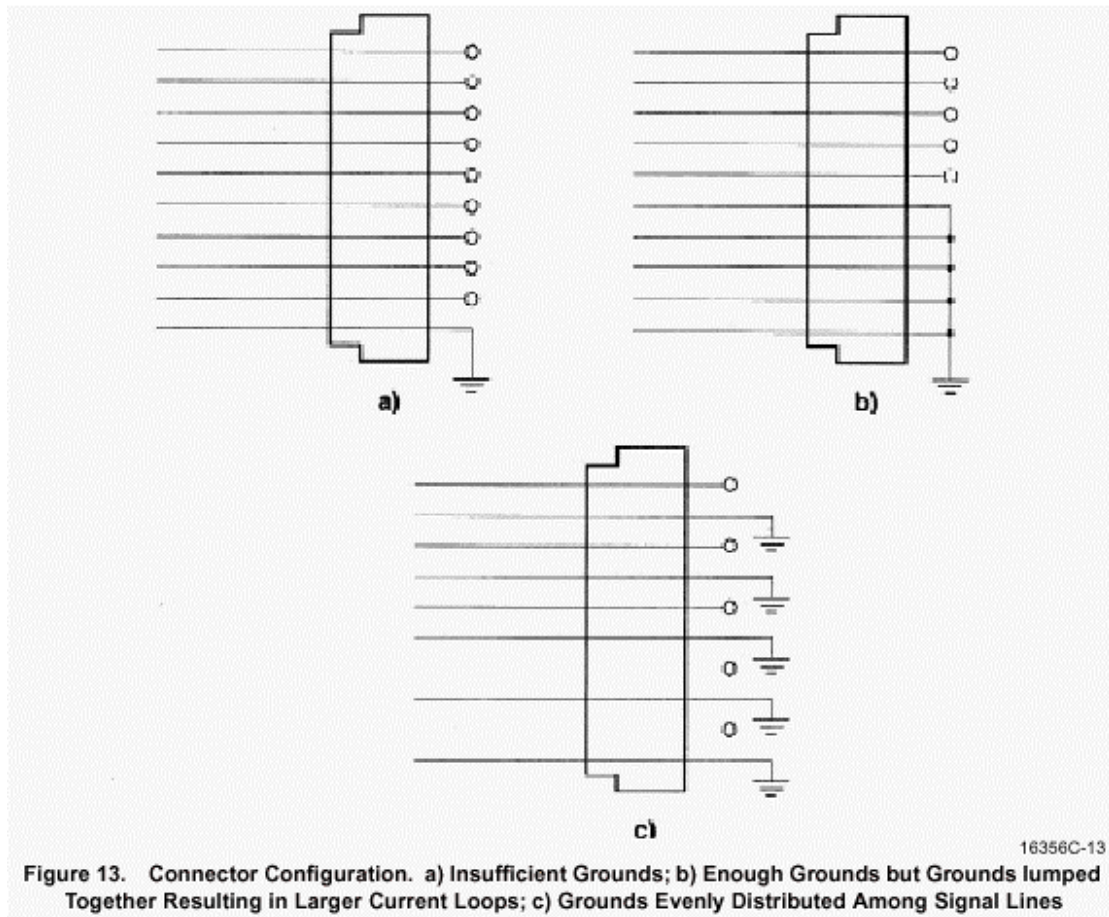


Figure 13. Connector Configuration. a) Insufficient Grounds; b) Enough Grounds but Grounds lumped Together Resulting in Larger Current Loops; c) Grounds Evenly Distributed Among Signal Lines

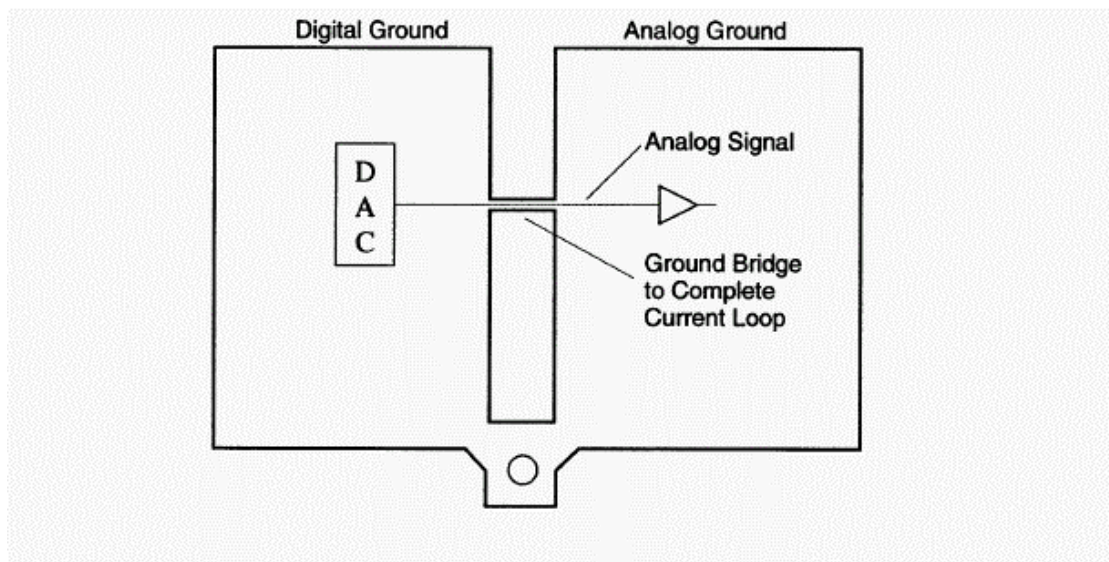
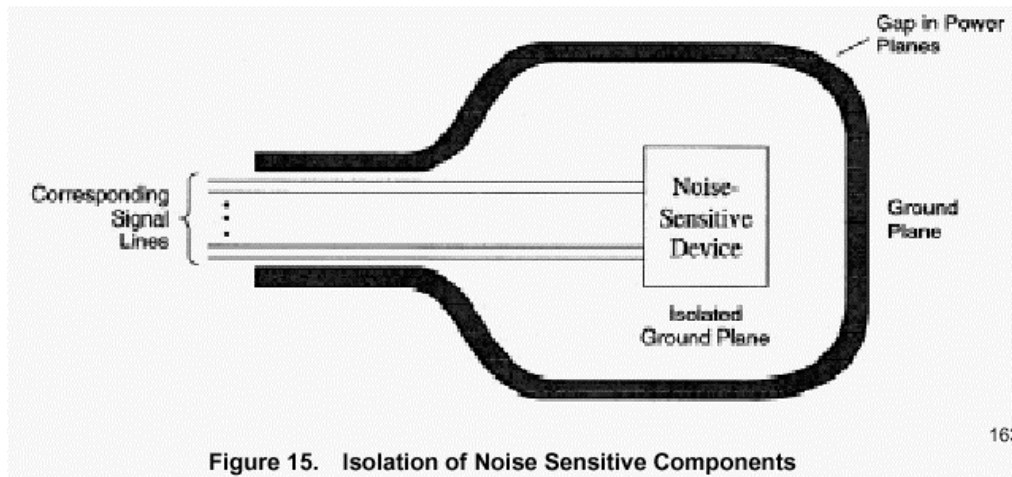
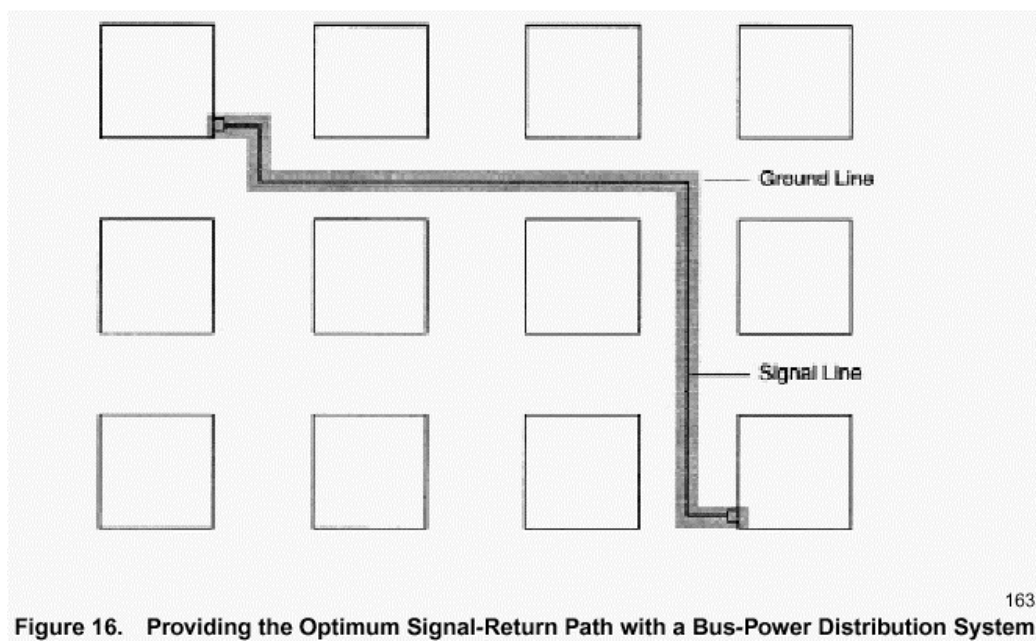


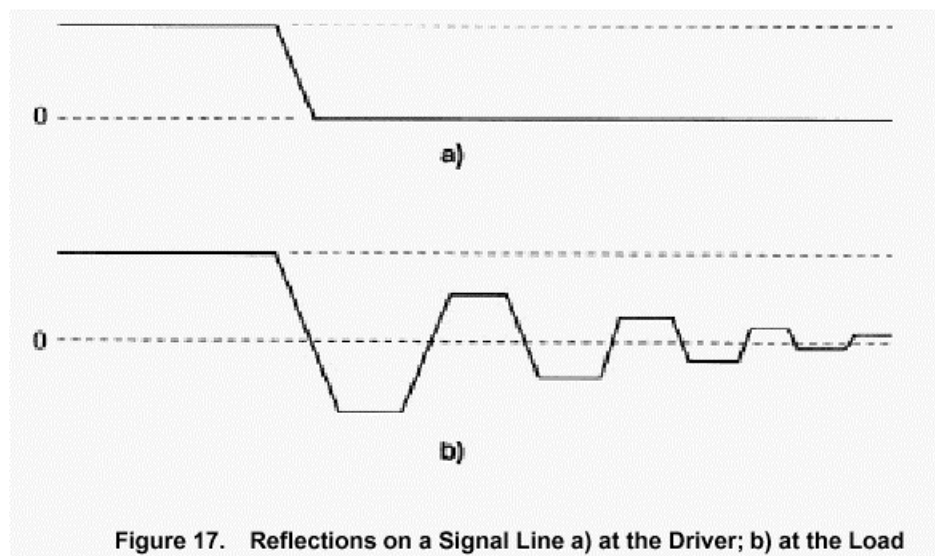
Figure 14. Jumper Between Analog- and Digital-Power Planes for Signal-Return Path

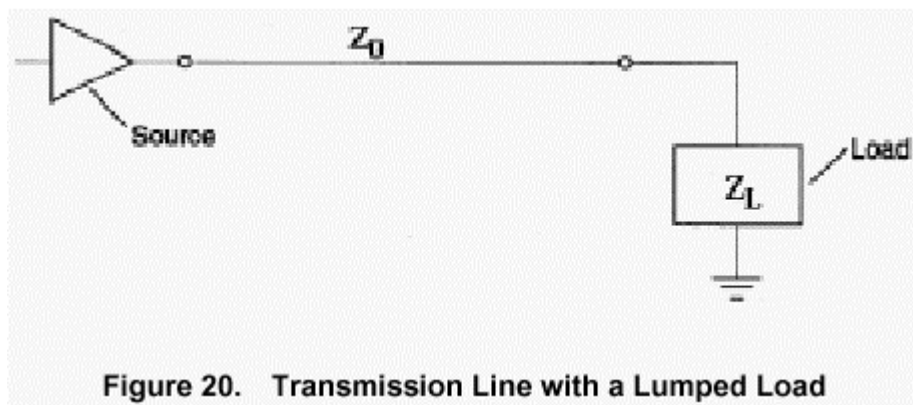
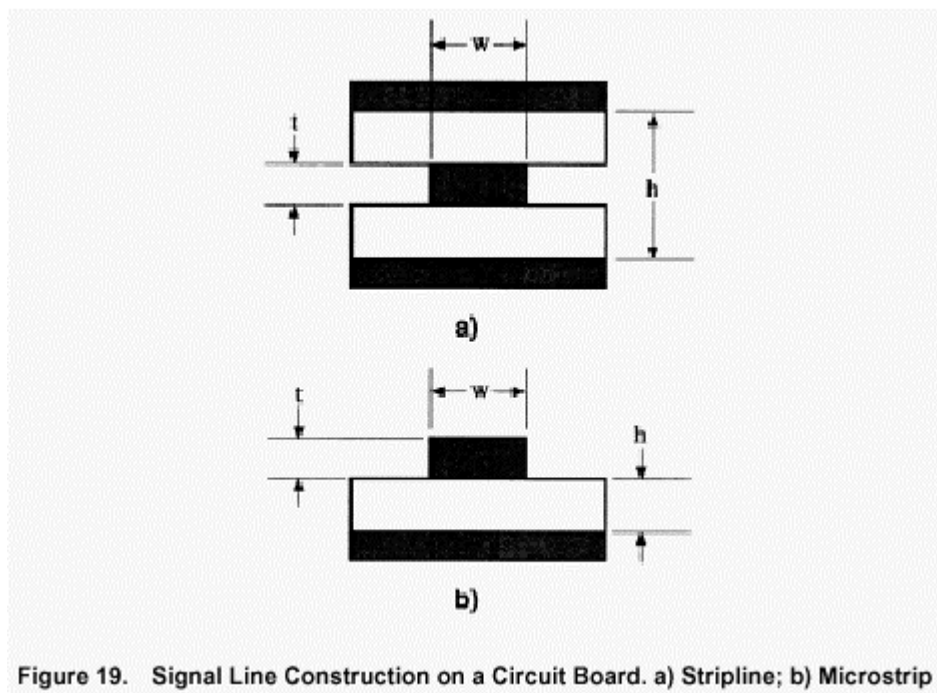
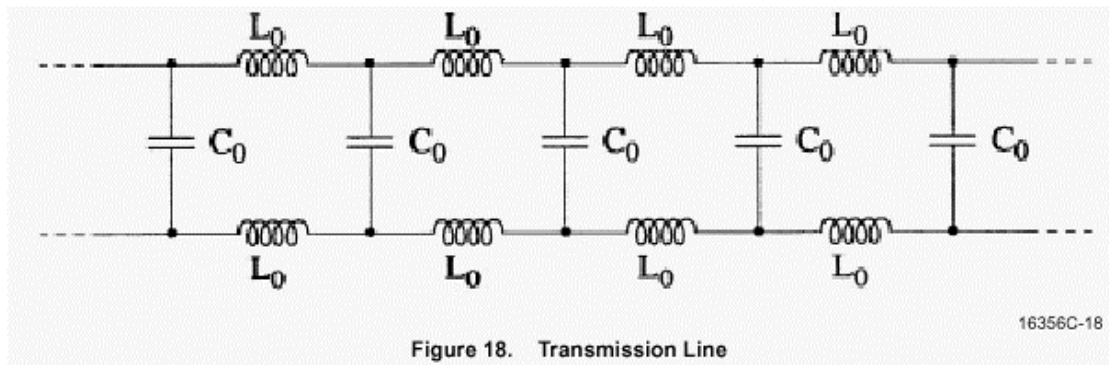


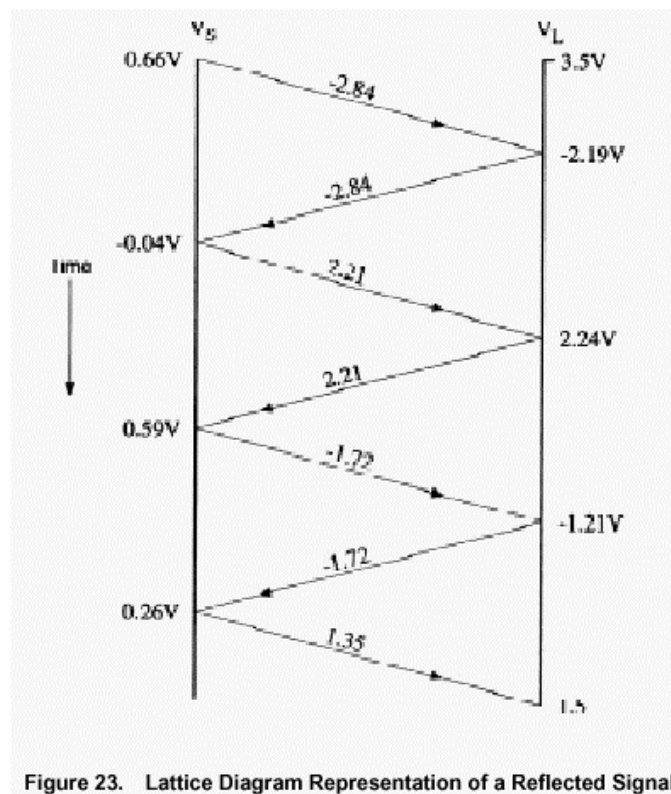
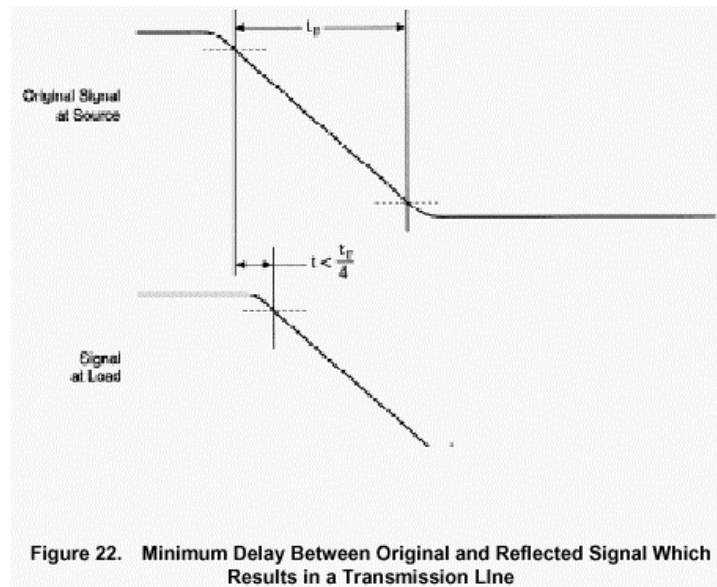
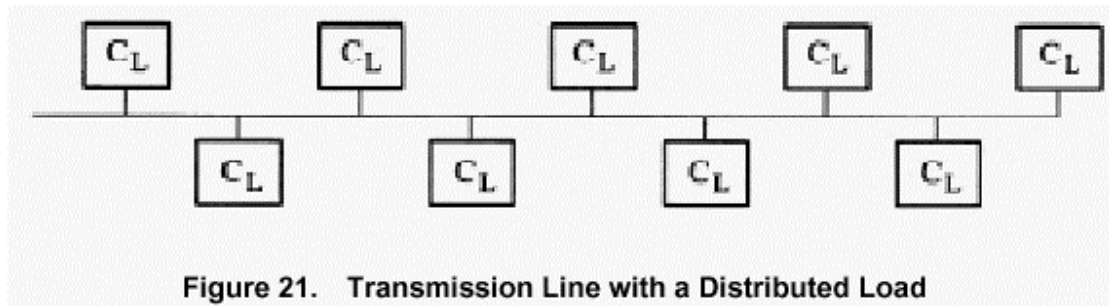
163

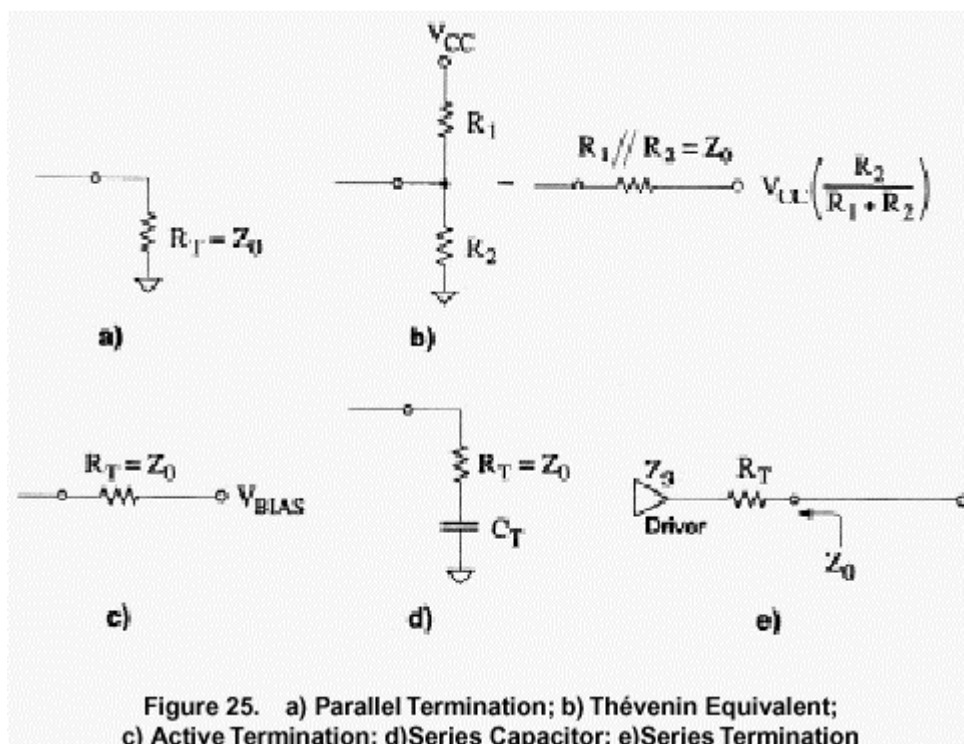
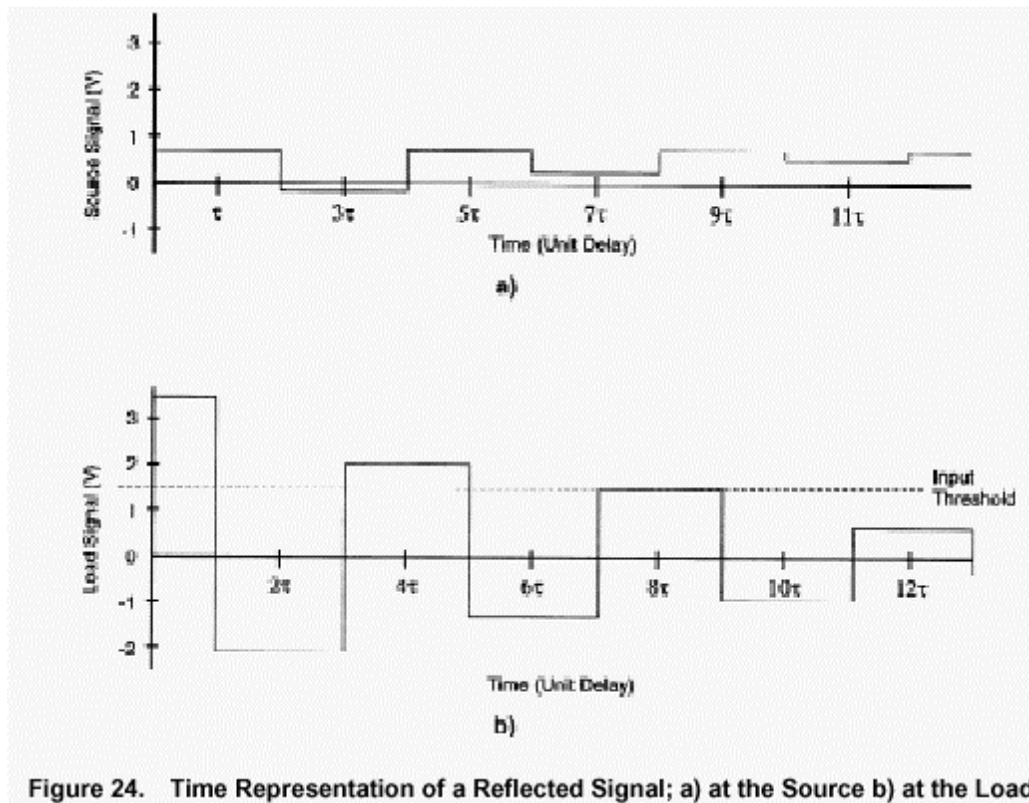


163









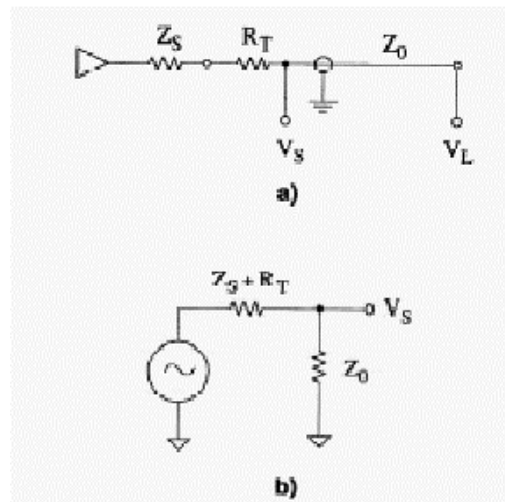


Figure 26. a) Series Termination;
b) Voltage Divider formed by Series Termination

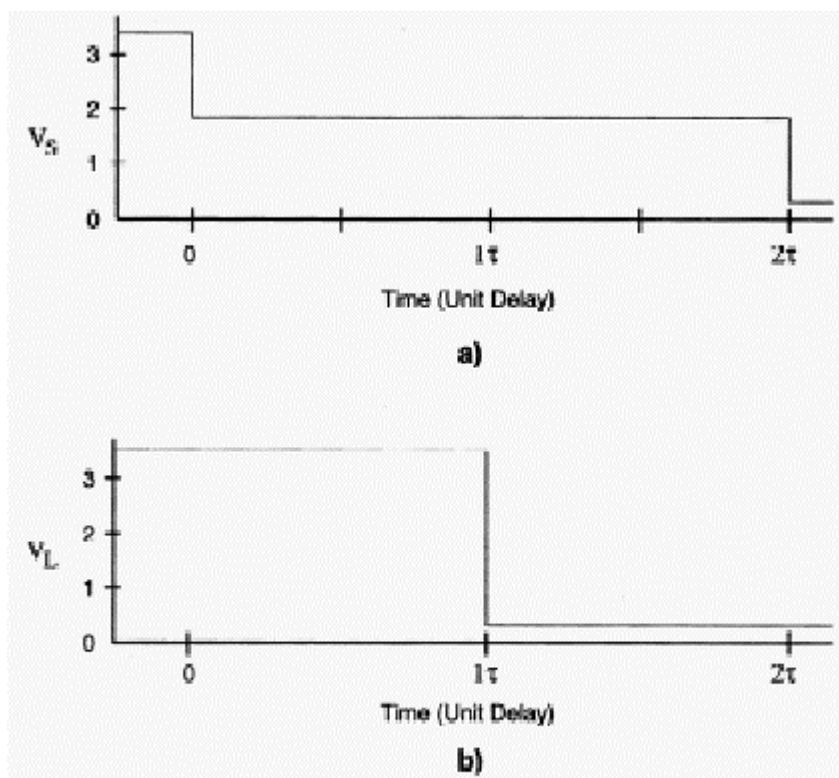
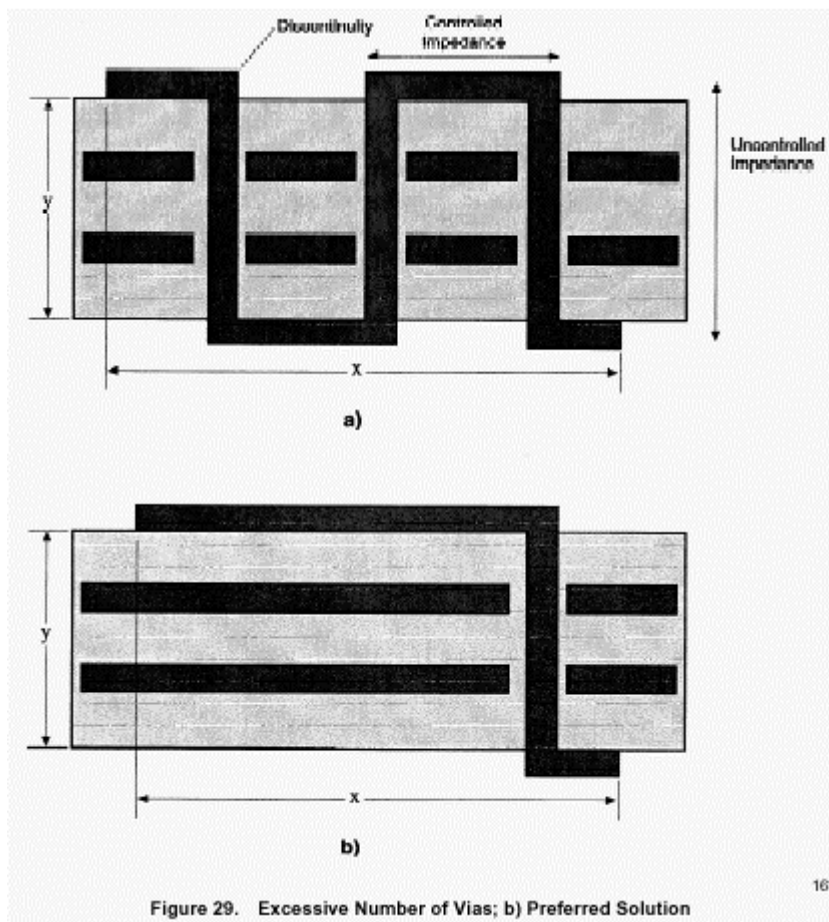
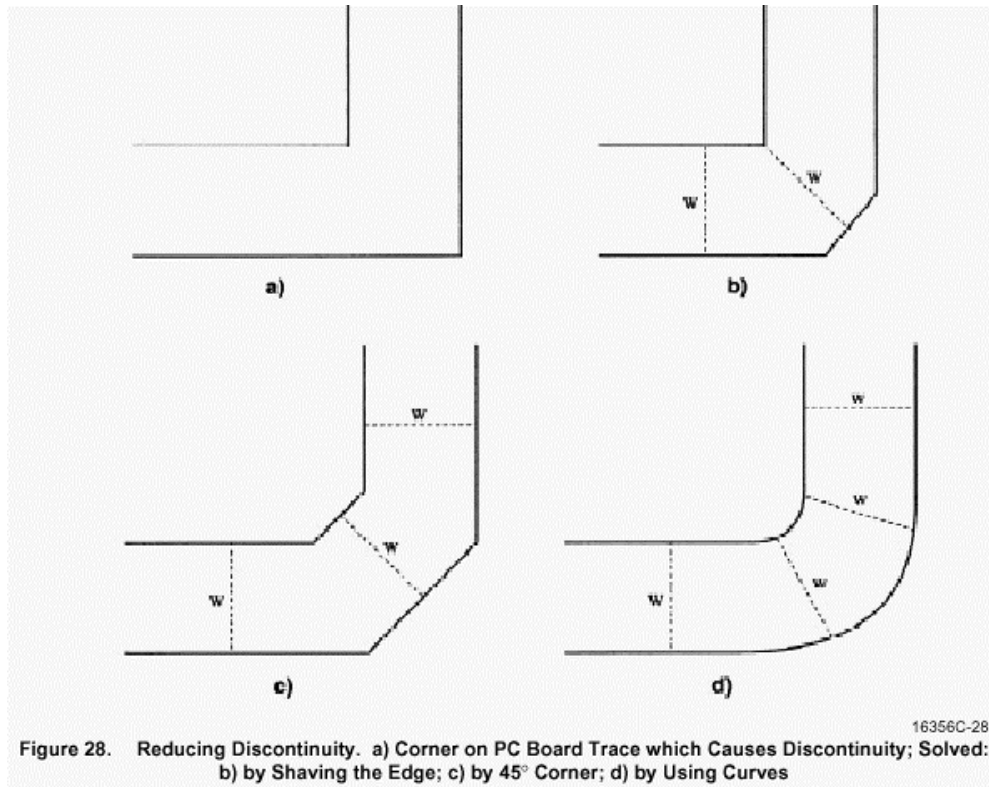


Figure 27. a) Signal at Source; b) Signal at Load end



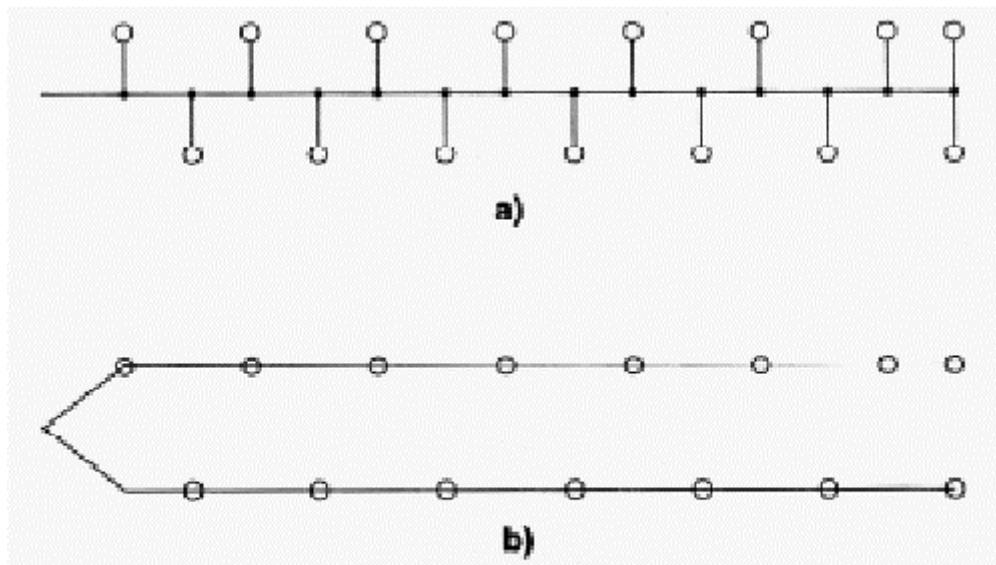


Figure 30. a) Stubs off of Transmission Line; b) Preferred Solutions

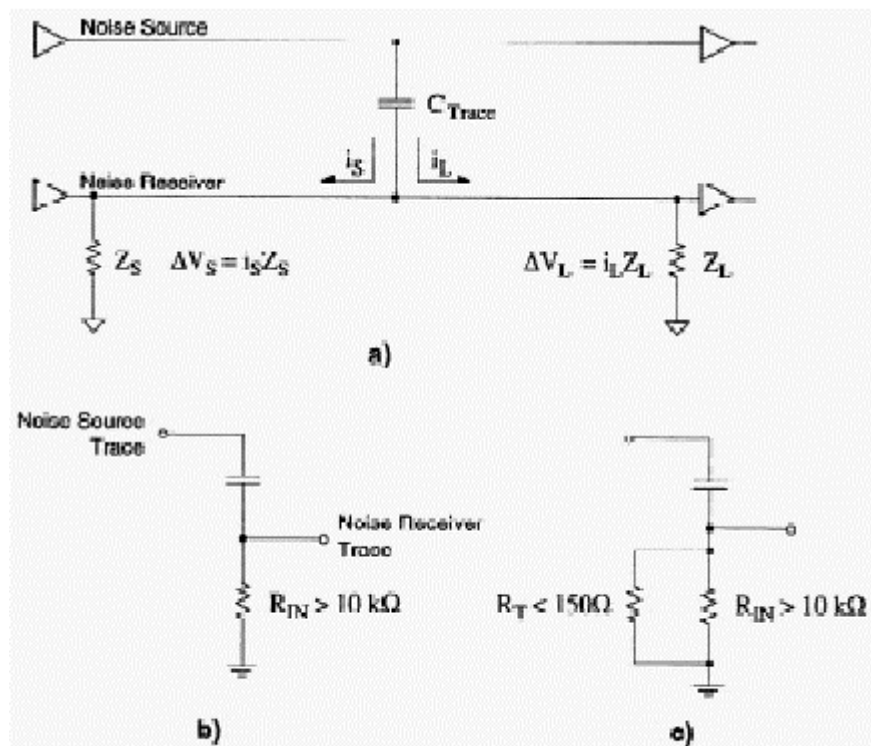
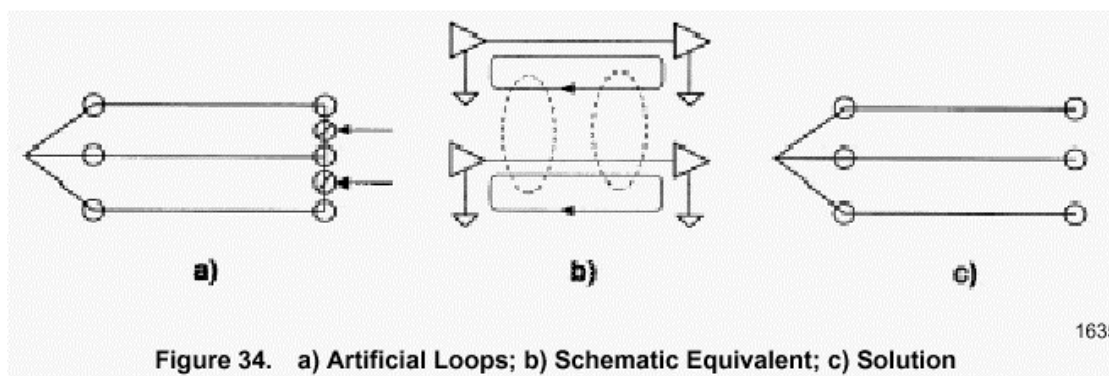
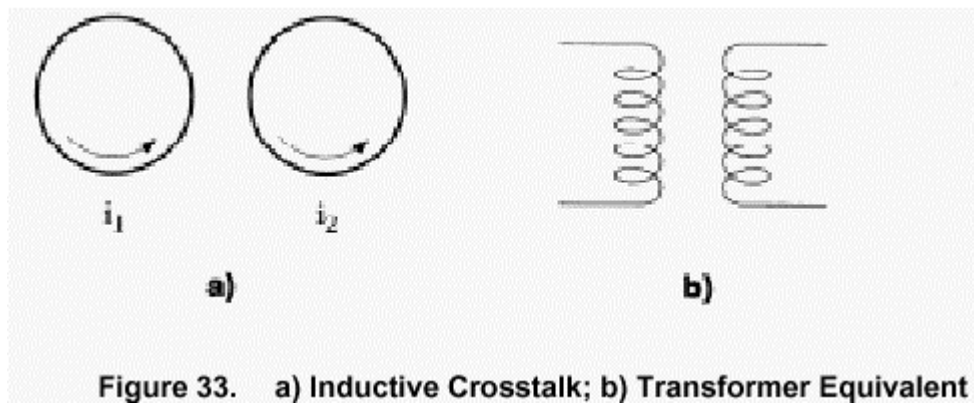
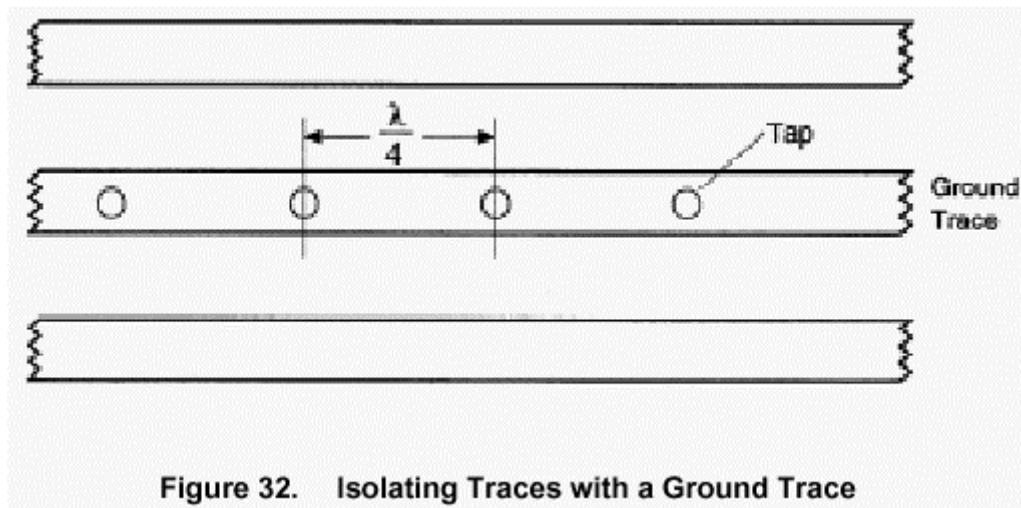
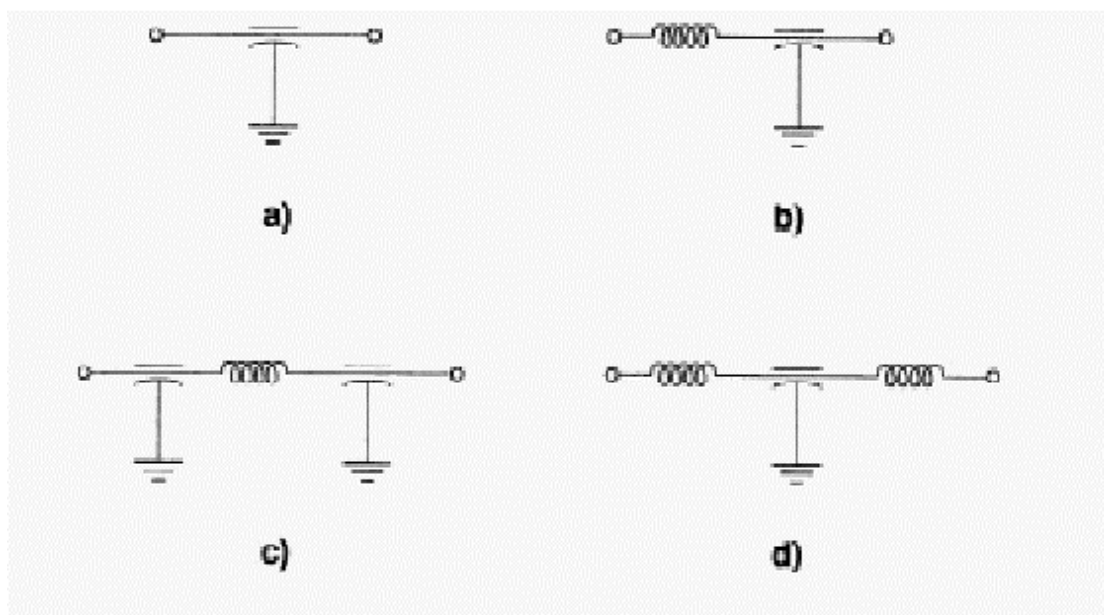
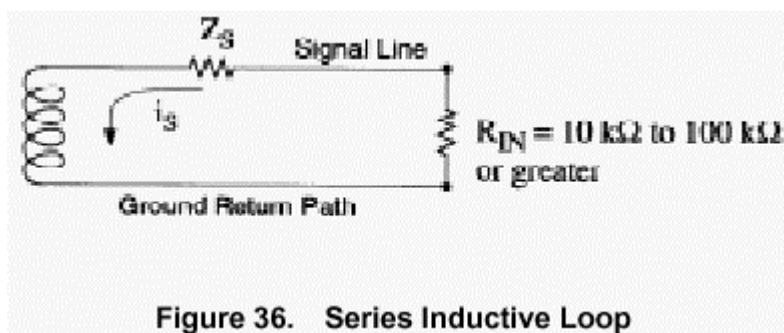
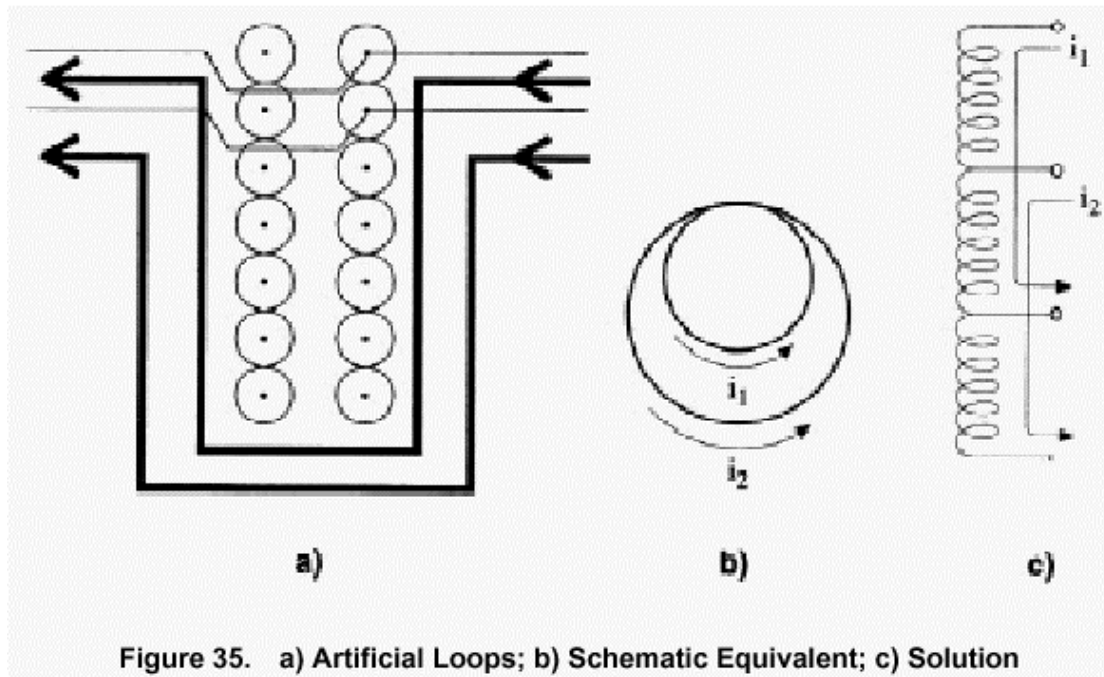
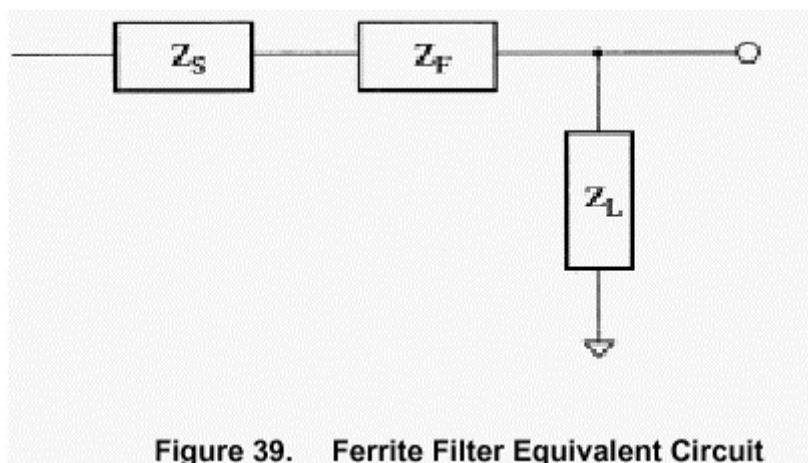
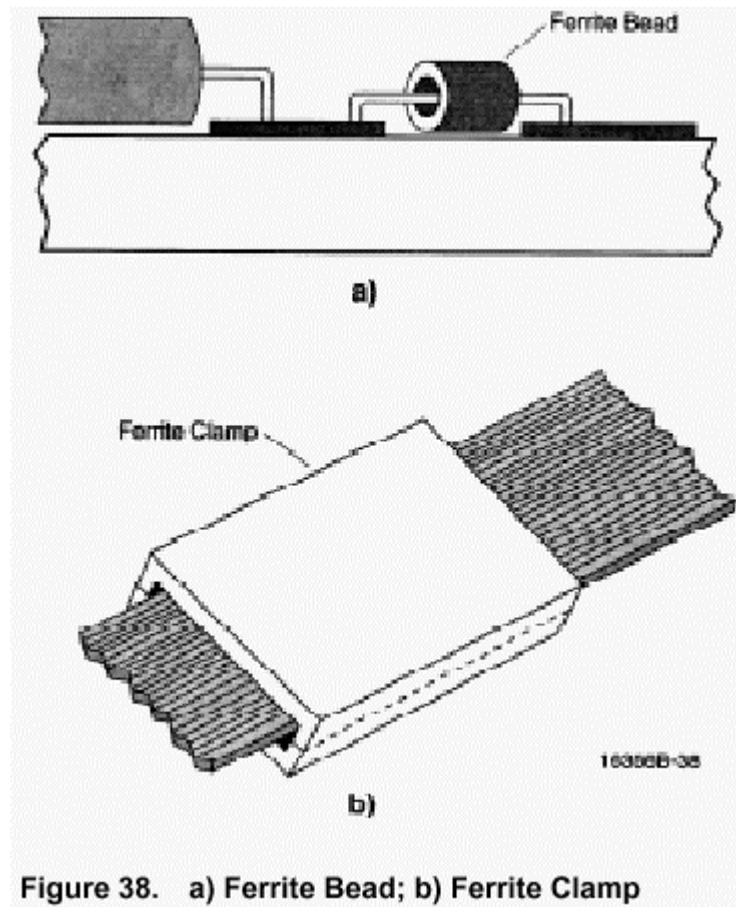


Figure 31. a) Capacitive Crosstalk; b) Equivalent Circuit; c) Solution



1635





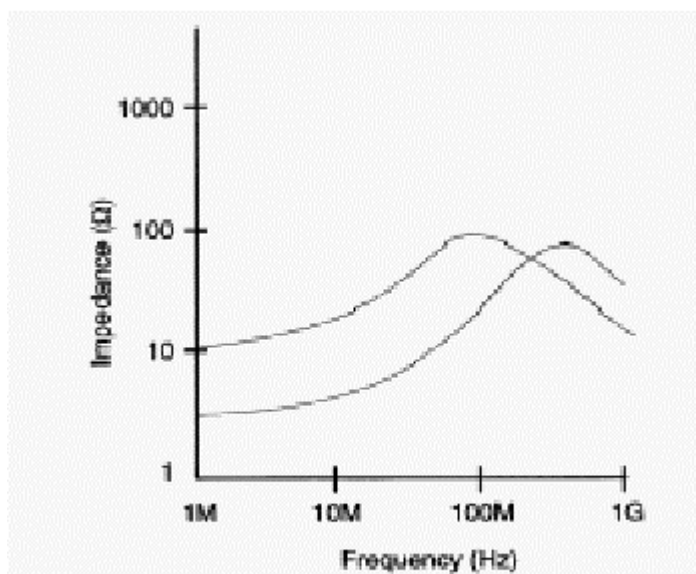


Figure 40. Frequency Response of Ferrite Filter

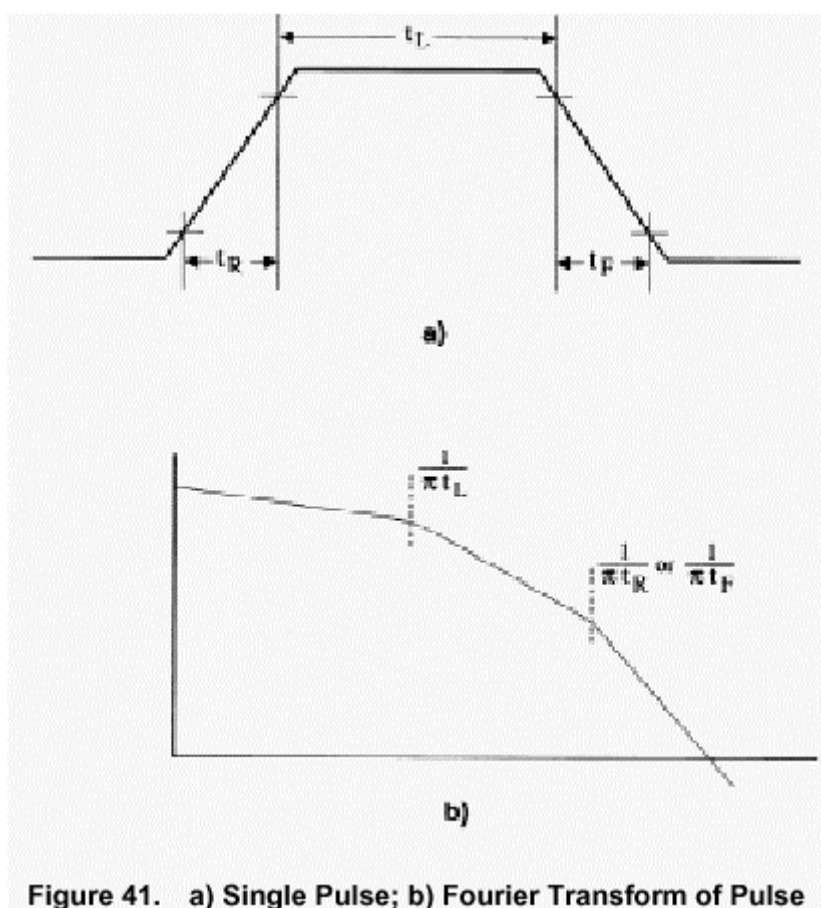


Figure 41. a) Single Pulse; b) Fourier Transform of Pulse

本文是 Pedestrian (Email: youngpeng@163.net) 根据 AMD 公司的 Application note “High-Speed Board Design Techniques”翻译整理。

欢迎光临 “Pedestrian’s Electronics Garden” ---- [Http://www.pedestrian.coc.cc](http://www.pedestrian.coc.cc)
步行者电子园地。2001 年 3 月。

射频和天线设计培训课程推荐

易迪拓培训(www.edatop.com)由数名来自于研发第一线的资深工程师发起成立,致力并专注于微波、射频、天线设计研发人才的培养;我们于 2006 年整合合并微波 EDA 网(www.mweda.com),现已发展成为国内最大的微波射频和天线设计人才培养基地,成功推出多套微波射频以及天线设计经典培训课程和 ADS、HFSS 等专业软件使用培训课程,广受客户好评;并先后与人民邮电出版社、电子工业出版社合作出版了多本专业图书,帮助数万名工程师提升了专业技术能力。客户遍布中兴通讯、研通高频、埃威航电、国人通信等多家国内知名公司,以及台湾工业技术研究院、永业科技、全一电子等多家台湾地区企业。

易迪拓培训课程列表: <http://www.edatop.com/peixun/rfe/129.html>



射频工程师养成培训课程套装

该套装精选了射频专业基础培训课程、射频仿真设计培训课程和射频电路测量培训课程三个类别共 30 门视频培训课程和 3 本图书教材;旨在引领学员全面学习一个射频工程师需要熟悉、理解和掌握的专业知识和研发设计能力。通过套装的学习,能够让学员完全达到和胜任一个合格的射频工程师的要求...

课程网址: <http://www.edatop.com/peixun/rfe/110.html>

ADS 学习培训课程套装

该套装是迄今国内最全面、最权威的 ADS 培训教程,共包含 10 门 ADS 学习培训课程。课程是由具有多年 ADS 使用经验的微波射频与通信系统设计领域资深专家讲解,并多结合设计实例,由浅入深、详细而又全面地讲解了 ADS 在微波射频电路设计、通信系统设计和电磁仿真设计方面的内容。能让您在最短的时间内学会使用 ADS,迅速提升个人技术能力,把 ADS 真正应用到实际研发工作中去,成为 ADS 设计专家...

课程网址: <http://www.edatop.com/peixun/ads/13.html>



HFSS 学习培训课程套装



该套课程套装包含了本站全部 HFSS 培训课程,是迄今国内最全面、最专业的 HFSS 培训教程套装,可以帮助您从零开始,全面深入学习 HFSS 的各项功能和在多个方面的工程应用。购买套装,更可超值赠送 3 个月免费学习答疑,随时解答您学习过程中遇到的棘手问题,让您的 HFSS 学习更加轻松顺畅...

课程网址: <http://www.edatop.com/peixun/hfss/11.html>

CST 学习培训课程套装

该培训套装由易迪拓培训联合微波 EDA 网共同推出,是最全面、系统、专业的 CST 微波工作室培训课程套装,所有课程都由经验丰富的专家授课,视频教学,可以帮助您从零开始,全面系统地学习 CST 微波工作的各项功能及其在微波射频、天线设计等领域的设计应用。且购买该套装,还可超值赠送 3 个月免费学习答疑...

课程网址: <http://www.edatop.com/peixun/cst/24.html>



HFSS 天线设计培训课程套装

套装包含 6 门视频课程和 1 本图书,课程从基础讲起,内容由浅入深,理论介绍和实际操作讲解相结合,全面系统的讲解了 HFSS 天线设计的全过程。是国内最全面、最专业的 HFSS 天线设计课程,可以帮助您快速学习掌握如何使用 HFSS 设计天线,让天线设计不再难...

课程网址: <http://www.edatop.com/peixun/hfss/122.html>

13.56MHz NFC/RFID 线圈天线设计培训课程套装

套装包含 4 门视频培训课程,培训将 13.56MHz 线圈天线设计原理和仿真设计实践相结合,全面系统地讲解了 13.56MHz 线圈天线的工作原理、设计方法、设计考量以及使用 HFSS 和 CST 仿真分析线圈天线的具体操作,同时还介绍了 13.56MHz 线圈天线匹配电路的设计和调试。通过该套课程的学习,可以帮助您快速学习掌握 13.56MHz 线圈天线及其匹配电路的原理、设计和调试...

详情浏览: <http://www.edatop.com/peixun/antenna/116.html>



我们的课程优势:

- ※ 成立于 2004 年,10 多年丰富的行业经验,
- ※ 一直致力并专注于微波射频和天线设计工程师的培养,更了解该行业对人才的要求
- ※ 经验丰富的一线资深工程师讲授,结合实际工程案例,直观、实用、易学

联系我们:

- ※ 易迪拓培训官网: <http://www.edatop.com>
- ※ 微波 EDA 网: <http://www.mweda.com>
- ※ 官方淘宝店: <http://shop36920890.taobao.com>