

专家关于高速线路的布线问题解答

专家关于高速线路的布线问题解答

1。 如何处理实际布线中的一些理论冲突的问题

问：在实际布线中，很多理论是相互冲突的；例如： 1。处理多个模/数地的接法：理论上应该是相互隔离的，但在实际的小型化、高密度布线中，由于空间的局限或者绝对的隔离会导致小信号模拟地走线过长，很难实现理论的接法。我的做法是：将模/数功能模块的地分割成一个完整的孤岛，该功能模块的模/数地都连接在这一个孤岛上。再通过沟道让孤岛和“大”地连接。不知这种做法是否正确？ 2。理论上晶振与CPU的连线应该尽量短，由于结构布局的原因，晶振与CPU的连线比较长、比较细，因此受到了干扰，工作不稳定，这时如何从布线解决这个问题？诸如此类的问题还有很多，尤其是高速PCB布线中考虑EMC、EMI问题，有很多冲突，很是头痛，请问如何解决这些冲突？多谢！

答：1. 基本上，将模/数地分割隔离是对的。要注意的是信号走线尽量不要跨过有分割的地方(moat)，还有不要让电源和信号的回流电流路径(returning current path)变太大。 2. 晶振是模拟的正反馈振荡电路，要有稳定的振荡信号，必须满足loop gain与phase的规范，而这模拟信号的振荡规范很容易受到干扰，即使加ground guard traces可能也无法完全隔离干扰。而且离的太远，地平面上的噪声也会影响正反馈振荡电路。所以，一定要将晶振和芯片的距离尽可能靠近。 3. 确实高速布线与EMI的要求有很多冲突。但基本原则是因EMI所加的电阻电容或ferrite bead, 不能造成信号的一些电气特性不符合规范。所以，最好先用安排走线和PCB叠层的技巧来解决或减少EMI的问题，如高速信号走内层。最后才用电阻电容或ferrite bead的方式，以降低对信号的伤害。

2。在高速设计中，如何解决信号的完整性问题？差分布线方式是如何实现的？对于只有一个输出端的时钟信号线，如何实现差分布线？

答：信号完整性基本上是阻抗匹配的问题。而影响阻抗匹配的因素有信号源的架构和输出阻抗(output impedance)，走线的特性阻抗，负载端的特性，走线的拓扑(topology)架构等。解决的方式是靠端接(termination)与调整走线的拓扑。差分对的布线有两点要注意，一是两条线的长度要尽量一样长，另一是两线的间距(此间距由差分阻抗决定)要一直保持不变，也就是要保持平行。平行的方式有两种，一为两条线走在同一走线层(side-by-side)，一为两条线走在上下相邻两层(over-under)。一般以前者side-by-side实现的方式较多。要用差分布线一定是信号源和接收端也都是差分信号才有意义。所以对只有一个输出端的时钟信号是无法使用差分布线的。

3。 关于高速差分信号布线

问：在pcb上靠近平行走高速差分信号线对的时候，在阻抗匹配的情况下，由于两线的相互耦合，会带来很多好处。但是有观点认为这样会增大信号的衰减，影响传输距离。是不是这样，为什么？我在一些大公司的评估板上看到高速布线有的尽量靠近且平行，而有的却有意使两线距离忽远忽近，我不懂那一种效果更好。我的信号 1GHz以上，阻抗为 50 欧姆。在用软件计算时，差分线对也是以 50 欧姆来计算吗？还是以 100 欧姆来算？接收端差分线对之间可否加一匹配电阻？谢谢！

答：会使高频信号能量衰减的原因一是导体本身的电阻特性(conductor loss)，包括集肤效应(skin effect)，另一是介电物质的 dielectric loss。这两种因子在电磁理论分析传输线效应(transmission line effect)时，可看出他们对信号衰减的影响程度。差分线的耦合是会影响各自的特性阻抗，变的较小，根据分压原理(voltage divider)这会使信号源送到线上的电压小一点。至于，因耦合而使信号衰减的理论分析我并没有看过，所以我无法评论。对差分对的布线方式应该要适当的靠近且平行。所谓适当的靠近是因为这间距会影响到差分阻抗(differential impedance)的值，此值是设计差分对的重要参数。需要平行也是因为要保持差分阻抗的一致性。若两线忽远

忽近, 差分阻抗就会不一致, 就会影响信号完整性(signal integrity)及时间延迟(timing delay)。差分阻抗的计算是 $2(Z_{11} - Z_{12})$, 其中, Z_{11} 是走线本身的特性阻抗, Z_{12} 是两条差分线间因为耦合而产生的阻抗, 与线距有关。所以, 要设计差分阻抗为 100 欧姆时, 走线本身的特性阻抗一定要稍大于 50 欧姆。至于要大多少, 可用仿真软件算出来。

4。问：问：要提高抗干扰性，除了模拟地和数字地分开只在电源一点连接，加粗地线和电源线外，希望专家给一些好的意见和建议！

答：除了地要分开隔离外，也要注意模拟电路部分的电源，如果跟数字电路共享电源，最好要加滤波线路。另外，数字信号和模拟信号不要有交错，尤其不要跨过分割地的地方(moat)。

5。关于高速PCB设计中信号层空白区域敷铜接地问题

问：在高速PCB设计中，信号层的空白区域可以敷铜，那么多个信号层的敷铜是都接地好呢，还是一半接地，一半接电源好呢？

答：一般在空白区域的敷铜绝大部分情况是接地。只是在高速信号线旁敷铜时要注意敷铜与信号线的距离，因为所敷的铜会降低一点走线的特性阻抗。也要注意不要影响到它层的特性阻抗，例如在dual stripline的结构时。

6。高速信号线的匹配问题

问：在高速板(如p4的主板)layout，为什么要求高速信号线(如cpu数据，地址信号线)要匹配？如果不匹配会带来什么隐患？其匹配的长度范围(既信号线的时滞差)是由什么因素决定的，怎样计算？

答：要求走线特性阻抗匹配的主要原因是为了避免高速传输线效应(transmission line effect)所引起的反射(reflection)影响到信号完整性(signal integrity)和延迟时间(flight time)。也就是说如果不匹配，则信号会被反射影响其质量。所有走线的长度范围都是根据时序(timing)的要求所订出来的。影响信号延迟时间的因素很多，走线长度只是其一。P4 要求某些信号线长度要在某个范围就是根据该信号所用的传输模式(common clock或source synchronous)下算得的timing margin，分配一部份给走线长度的允许误差。至于，上述两种模式时序的计算，限于时间与篇幅不方便在此详述，请到下列网址 <http://developer.intel.com/design/Pentium4/guides> 下载"Intel Pentium 4 Processor in the 423-pin Package/Intel 850 Chipset Platform Design Guide"。其中 "Methodology for Determining Topology and Routing Guideline"章节内有详述。

7。问：在 高密度印制板上通过软件自动产生测试点一般情况下能满足大批量生产的测试要求吗？添加测试点会不会影响高速信号的质量？

答：一般软件自动产生测试点是否满足测试需求必须看对加测试点的规范是否符合测试机具的要求。另外，如果走线太密且加测试点的规范比较严，则有可能没办法自动对每段线都加上测试点，当然，需要手动补齐所要测试的地方。至于会不会影响信号质量就要看加测试点的方式和信号到底多快而定。基本上外加的测试点(不用线上既有的穿孔(via or DIP pin)当测试点)可能加在线上或是从线上拉一小段线出来。前者相当于是加上一个很小的电容在线上，后者则是多了一段分支。这两个情况都会对高速信号多多少少会有点影响，影响的程度就跟信号的频率速度和信号缘变化率(edge rate)有关。影响大小可透过仿真得知。原则上测试点越小越好(当然还要满足测试机具的要求)分支越短越好。

8。如何选择PCB板材?如何避免高速数据传输对周围模拟小信号的高频干扰,有没有一些设计的基本思路? 谢谢

答:选择PCB板材必须在满足设计需求和可量产性及成本中间取得平衡点。设计需求包含电气和机构这两部分。通常在设计非常高速的PCB板子(大于GHz的频率)时这材质问题会比较重要。例如,现在常用的FR-4 材质,在几个GHz的频率时的介质损耗dielectric loss会对信号衰减有很大的影响,可能就不合用。就电气而言,要注意介电常数(dielectric constant)和介质损耗在所设计的频率是否合用。避免高频干扰的基本思路是尽量降低高频信号电磁场的干扰,也就是所谓的串扰(Crosstalk)。可用拉大高速信号和模拟信号之间的距离,或加ground guard/shunt traces在模拟信号旁边。还要注意数字地对模拟地的噪声干扰。

9。众所周知PCB板包括很多层,但其中某些层的含义我还不是很清楚。mechanical, keepoutlayer, topoverlay, bottomoverlay, toppaste, bottompaste, topsolder, bottomsolder, drillguide, drilldrawing, multilayer 这些层不知道它们的确切含义。希望您指教。

答:在EDA软件的专门术语中,有很多不是有相同定义的。以下就字面上可能的意义来解释。

Mechanical: 一般多指板型机械加工尺寸标注层

Keepoutlayer: 定义不能走线、打穿孔(via)或摆零件的区域。这几个限制可以独立分开定义。**Topoverlay:** 无法从字面得知其意义。多提供些讯息来进一步讨论。

Bottomoverlay: 无法从字面得知其意义。可多提供些讯息来进一步讨论。

Toppaste: 顶层需要露出铜皮上锡膏的部分。

Bottompaste: 底层需要露出铜皮上锡膏的部分。

Topsolder: 应指顶层阻焊层,避免在制造过程中或将来维修时可能不小心的短路 **Bottomsolder:** 应指底层阻焊层。

Drillguide: 可能是不同孔径大小,对应的符号,个数的一个表。

Drilldrawing: 指孔位图,各个不同的孔径会有一个对应的符号。

Multilayer: 应该没有单独这一层,能指多层板,针对单面板和双面板而言。

10。一个系统往往分成若干个PCB,有电源、接口、主板等,各板之间的地线往往各有互连,导致形成许许多多的环路,产生诸如低频环路噪声,不知这个问题如何解决?

答:各个PCB板子相互连接之间的信号或电源在动作时,例如A板子有电源或信号送到B板子,一定会有等量的电流从地层流回到A板子(此为Kirchoff current law)。这地层上的电流会找阻抗最小的地方流回去。所以,在各个不管是电源或信号相互连接的接口处,分配给地层的管脚数不能太少,以降低阻抗,这样可以降低地层上的噪声。另外,也可以分析整个电流环路,尤其是电流较大的部分,调整地层或地线的接法,来控制电流的走法(例如,在某处制造低阻抗,让大部分的电流从这个地方走),降低对其它较敏感信号的影响。

11。(1) 能否提供一些经验数据、公式和方法来估算布线的阻抗。(2) 当无法满足阻抗匹配的要求时,是在信号线的末端加并联的匹配电阻好,还是在信号线上加串联的匹配电阻好。(3) 差分信号线中间可否加地线

答:1. 以下提供两个常被参考的特性阻抗公式: a. 微带线(microstrip) $Z = \{87 / [\sqrt{\epsilon_r + 1.41}]\} \ln[5.98H / (0.8W + T)]$ 其中, W为线宽, T为走线的铜皮厚度, H为走线到参考平面的距离, ϵ_r 是PCB板材质的介电常数(dielectric constant)。此公式必须在 $0.1 < (W/H) < 2.0$ 及 $1 < (\epsilon_r) < 15$ 的情况才能应用。 b. 带状线(stripline) $Z = [60 / \sqrt{\epsilon_r}] \ln \{4H / [0.67 \pi (T + 0.8W)]\}$ 其中, H为

两参考平面的距离，并且走线位于两参考平面的中间。此公式必须在 $W/H < 0.35$ 及 $T/H < 0.25$ 的情况才能应用。最好还是用仿真软件来计算比较准确。

2.选择端接(termination)的方法有几项因素要考虑: a.信号源(source driver)的架构和强度。b.功率消耗(power consumption)的大小。c.对时间延迟的影响，这是最重要考虑的一点。所以，很难说哪一种端接方式是比较好的。

3.差分信号中间一般是不能加地线。因为差分信号的应用原理最重要的一点便是利用差分信号间相互耦合(coupling)所带来的好处，如 flux cancellation，抗噪声(noise immunity)能力等。若在中间加地线，便会破坏耦合效应。

12. 能介绍一些国外的目前关于高速PCB设计水平、加工能力、加工水平、加工材质以及相关的技术书籍和资料吗？

答：现在高速数字电路的应用有通信网路和计算机等相关领域。在通信网路方面，PCB板的工作频率已达GHz上下，迭层数就我所知有到40层之多。计算机相关应用也因为芯片的进步，无论是一般的PC或服务器(Server)，板子上的最高工作频率也已经达到400MHz (如Rambus) 以上。因应这高速高密度走线需求，盲埋孔(blind/buried vias)、microvias及build-up制程工艺的需求也渐渐越来越多。这些设计需求都有厂商可大量生产。以下提供几本不错的技术书籍：1.Howard W. Johnson，

“High-Speed Digital Design – A Handbook of Black Magic”；2.Stephen H. Hall，

“High-Speed Digital System Design”；

3.Brian Yang，“Digital Signal Integrity”；

13. 有关柔性电路板的设计与加工

我公司打算采用柔性电路板设计来解决小型成像系统中信号传送和电路板互接的问题。请问刚柔板设计是否需要专用设计软件与规范？另外国内何处可以承接该类电路板加工？谢谢

answer： 可以用一般设计PCB的软件来设计柔性电路板(Flexible Printed Circuit)。一样用Gerber格式给FPC厂商生产。由于制造的工艺和一般PCB不同，各个厂商会依据他们的制造能力会对最小线宽、最小线距、最小孔径(via)有其限制。除此之外，可在柔性电路板的转折处铺些铜皮加以补强。至于生产的厂商可上网“FPC”当关键词查询应该可以找到。

14. PCB的布线调整

我想请问一个问题:因觉机器布的不如意,调整起来反而费时。我一般是用的手工布线,现在搞的PCB板多半要用引脚密度较大的贴片封装芯片,而且带总线的(ABUS,DBUS,CBUS等),因工作频率较高,故引线要尽可能短.自然的就是很密的信号线匀布在小范围面积的板子上。我现感觉到花的时间较多的是调整这些密度大的信号线,一是调整线间的距离,使之尽可能的均匀。因为在布线的过程中,一般的都时不时的要改线。每改一次都要重新均匀每一根已布好的线的间距。越是布到最后,这种情况越是多。二是调整线的宽度,使之在一定宽度中尽可能的容下新增加的线。一般一条线上有很多弯曲,一个弯就是一段,手工调整只能一段一段地调整,调整起来也费时间。我想如果在布线的过程中,能按我的思路先粗粗地手工拉线,完了以后,软件能从这两个方面帮我自动地调整。或是即便已布完,如要改线,也是粗粗地改一下,然后让软件调整。甚至,到最后我觉的需要调整元件的封装,也就是说整片布线都需要调整,都让软件来干。那样就要快多了。我用的是Protel98。我知道这软件能做自动均匀调整元件封装的距离而不能自动调整线距和线宽。可能是其中的一些功能我还不会用,或是有其他什么办法,在此请教一下。

answer:线宽和线距是影响走线密度其中两个重要的因素。一般在设计工作频率较高的板子时，布线之前需要先决定走线的特性阻抗。在PCB迭层固定的情况下，特性阻抗会决定出符合的线宽。而线距则和串扰(Crosstalk)大小有绝对的关系。最小可以接受的线距决定于串扰对信号时间延迟与信号完整性的影响是否能接受。这最小线距可由仿真软件做预仿真(pre-simulation)得到。也就是说，在布线之前，需要的线宽与最小线距应该已经决定好了，并且不能随意更动，因为会影响特性阻抗和串扰。这也是为什么大部分的EDA布线软件在做自动布线或调整时不会去动线宽和最小线距。如果这线宽和最小线距已经设定好在布线软件，则布线调整的方便与否就看软件绕线引擎的能力强弱而定。如果您对蔽公司Expedition有兴趣试看看我们的绕线引擎，请电 21-64159380，会有专人为您服务

15. 关于高速数字PCB

请问适当选择PCB与外壳接地的点的原则是什么？另外，一般PCB LAYOUT工程师总是根据DESIGN GUIDE/LAYOUT GUIDELINE做，我想了解一般制定GUIDE的是硬件/系统工程师，还是资深PCB工程师？谁应该对板级系统的性能负主要责任。谢谢！

answer:与外壳接地点选择的原则是利用chassis ground提供低阻抗的路径给回流电流(returning current)及控制此回流电流的路径。例如，通常在高频器件或时钟产生器附近可以借固定用的螺丝将PCB的地层与chassis ground做连接，以尽量缩小整个电流回路面积，也就减少电磁辐射。谁应该负责制定guideline可能每个公司有不同情况而有不同安排。Guideline的制定必须对整个系统、芯片、电路动作原理有充分的了解，才能制定出符合电气规范且可实现的guideline。所以，以我个人的观点，硬件系统工程师似乎较适合这个角色。当然，资深PCB工程师可以提供在实际实现时的经验，使得这guideline可以实现的更好。

16 · 电路板DEBUG应从那几个方面着手。

问：请问板子设计好，生产出来，DEBUG应从那几个方面着手。

答：就数字电路而言，首先依序确定三件事情：

- 1.确认所有电源值的大小均达到设计所需。有些多重电源的系统可能会要求某些电源之间起来的顺序与快慢有某种规范。
- 2.确认所有时钟信号频率都工作正常且信号边缘上没有非单调(non-monotonic)的问题。
- 3.确认reset信号是否达到规范要求。

这些都正常的话，芯片应该要发出第一个周期(cycle)的信号。接下来依照系统运作原理与bus protocol来debug。

17 · 现在常用的电子PCB设计软件如何满足电路抗干扰的要求？

问：现在有哪些PCB设计软件,如何用PROTEL99 合理的设计符合自己要求的PCB.比如如何满足高频电路的要求,如何考虑电路满足抗干扰的要求? 谢谢!!

答：我没有使用Protel的经验，以下仅就设计原理来讨论。

高频数字电路主要是考虑传输线效应对信号质量与时序(timing)的影响。如特性阻抗的连续与匹配，端接方式的选择，拓朴(topology)方式的选择，走线的长度与间距，时钟(或strobe)信号skew的控制等。

如果器件已经固定，一般抗干扰的方式是拉大间距或加ground guard traces。

18 · 关于lvds信号的布线

问：对于lvds低压差分信号，原则上是布线等长、平行，但实际上较难实现，是否能提供一些经验？贵公司产品是否有试用版？

答 差分信号布线时要求等长且平行的原因有以下几点：

- 1.平行的目的是要确保差分阻抗的完整性。平行间距不同的地方就等于是差分阻抗不连续。
- 2.等长的目的是想要确保时序(timing)的准确与对称性。因为差分信号的时序跟这两个信号交叉点(或相对电压差值)有关，如果不等长，则此交叉点不会出现在信号振幅(swing amplitude)的中间，也会造成相邻两个时间间隔(time interval)不对称，增加时序控制的难度。
- 3.不等长也会增加共模(common mode)信号的成分，影响信号完整性(signal integrity)。

19：

问：在电路板尺寸固定的情况下，如果设计中需要容纳更多的功能，就往往需要提高PCB的走线密度，但是这样有可能导致走线的相互干扰增强，同时走线过细也使阻抗无法降低，请专家介绍在高速（>100MHz）高密度PCB设计中的技巧？

答：在设计高速高密度PCB时，串扰(crosstalk interference)确实是要特别注意的，因为它对时序(timing)与信号完整性(signal integrity)有很大的影响。以下提供几个注意的地方：

- 1.控制走线特性阻抗的连续与匹配。
- 2.走线间距的大小。一般常看到的间距为两倍线宽。可以透过仿真来知道走线间距对时序及信号完整性的影响，找出可容忍的最小间距。不同芯片信号的结果可能不同。
- 3.选择适当的端接方式。
- 4.避免上下相邻两层的走线方向相同，甚至有走线正好上下重叠在一起，因为这种串扰比同层相邻走线的情形还大。
- 5.利用盲埋孔(blind/buried via)来增加走线面积。但是PCB板的制作成本会增加。

在实际执行时确实很难达到完全平行与等长，不过还是要尽量做到。除此以外，可以预留差分端接和共模端接，以缓和对时序与信号完整性的影响。

20 · 电源滤波的讲究

问：请问，模拟电源处的滤波经常是用LC电路。但是，我发现有时LC比RC滤波效果差，请问这是为什么，滤波时选用电感，电容值的方法是什么？

答；LC与RC滤波效果的比较必须考虑所要滤掉的频带与电感值的选择是否恰当。因为电感的感抗(reactance)大小与电感值和频率有关。如果电源的噪声频率较低，而电感值又不够大，这时滤波效果可能不如RC。但是，使用RC滤波要付出的代价是电阻本身会耗能，效率较差，且要注意所选电阻能承受的功率。

电感值的选用除了考虑所想滤掉的噪声频率外，还要考虑瞬时电流的反应能力。如果LC的输出端会有机会需要瞬间输出大电流，则电感值太大会阻碍此大电流流经此电感的速度，增加纹波噪声(ripple noise)。

电容值则和所能容忍的纹波噪声规范值的大小有关。纹波噪声值要求越小，电容值会较大。而电容的ESR/ESL也会有影响。

另外，如果这LC是放在开关式电源(switching regulation power)的输出端时，还要注意此LC所产生的极点零点(pole/zero)对负反馈控制(negative feedback control)回路稳定度的影响。

21. 多个数/模地的接法

问：当一块PCB板中有多个数/模功能块时，常规做法是要将数/模地分开，并分别在一点相连。这样，一块PCB板上的地将被分割成多块，而且如何相互连接也大成问题。但有人采用另外一种办法，即在确保数/模分开布局，且数/模信号走线相互不交叉的情况下，整个PCB板地不做分割，数/模地都连到这个地平面上，这样做有何道理，请专家指教。

答：将数/模地分开的原因是因为数字电路在高低电位切换时会在电源和地产生噪声，噪声的大小跟信号的速度及电流大小有关。如果地平面上不分割且由数字区域电路所产生的噪声较大而模拟区域的电路又非常接近，则即使数模信号不交叉，模拟的信号依然会被地噪声干扰。也就是说数模地不分割的方式只能在模拟电路区域距产生大噪声的数字电路区域较远时使用。另外，数模信号走线不能交叉的要求是因为速度稍快的数字信号其返回电流路径(return current path)会尽量沿着走线的下方附近的地流回数字信号的源头，若数模信号走线交叉，则返回电流所产生的噪声便会出现模拟电路区域内。

22 · 线路板设计与EMC！

问：线路板设计如果考虑EMC，必定提高不少成本。请问如何尽可能的答道EMC要求，又不致带太大的成本压力？谢谢。

答：PCB板上会因EMC而增加的成本通常是因增加地层数目以增强屏蔽效应及增加了ferrite bead、choke等抑制高频谐波器件的缘故。除此之外，通常还是需搭配其它机构上的屏蔽结构才能使整个系统通过EMC的要求。以下仅就PCB板的设计技巧提供几个降低电路产生的电磁辐射效应。

- 1、尽可能选用信号斜率(slew rate)较慢的器件，以降低信号所产生的高频成分。
- 2、注意高频器件摆放的位置，不要太靠近对外的连接器。
- 3、注意高速信号的阻抗匹配，走线层及其回流电流路径(return current path)，以减少高频的反射与辐射。
- 4、在各器件的电源管脚放置足够与适当的去耦合电容以缓和电源层和地层上的噪声。特别注意电容的频率响应与温度的特性是否符合设计所需。
- 5、对外的连接器附近的地可与地层做适当分割，并将连接器的地就近接到chassis ground。
- 6、可适当运用ground guard/shunt traces在一些特别高速的信号旁。但要注意guard/shunt traces对走线特性阻抗的影响。
- 7、电源层比地层内缩 20H，H为电源层与地层之间的距离。

23 · GSM 手机PCB设计

问：请问专家GSM手机PCB设计有什么要求和技巧？

答：手机PCB设计上的挑战在于两个地方：一是板面积小，二是有RF的电路。因为可用的板面积有限，而又有数个不同特性的电路区域，如RF电路、电源电路、语音模拟电路、一般的数字电路等，它们都各有不同的设计需求。

- 1、首先必须将RF与非RF的电路在板子上做适当的区隔。因为RF的电源、地、及阻抗设计规范较严格。
- 2、因为板面积小，可能需要用盲埋孔(blind/buried via)以增加走线面积。
- 3、注意语音模拟电路的走线，不要被其它数字电路，RF电路等产生串扰现象。除了拉大走线间距外，也可使用ground guard trace抑制串扰。
- 4、适当做地层的分割，尤其模拟电路的地要特别注意，不要被其它电路的地噪声干扰。

5、注意各电路区域信号的回流电流路径(return current path)，避免增加串扰的可能性。

24：pcb设计中需要注意哪些问题？

答PCB设计时所要注意的问题随着应用产品的不同而不同。就象数字电路与仿真电路要注意的地方不尽相同那样。以下仅概略的几个要注意的原则。

- 1、PCB层叠的决定；包括电源层、地层、走线层的安排，各走线层的走线方向等。这些都会影响信号品质，甚至电磁辐射问题。
- 2、电源和地相关的走线与过孔(via)要尽量宽，尽量大。
- 3、不同特性电路的区域配置。良好的区域配置对走线的难易，甚至信号质量都有相当大的关系。
- 4、要配合生产工厂的制造工艺来设定DRC (Design Rule Check)及与测试相关的设计(如测试点)。其它与电气相关所要注意的问题就与电路特性有绝对的关系，例如，即便都是数字电路，是否注意走线的特性阻抗就要视该电路的速度与走线长短而定。

25·有关高速PCB设计中的EMC、EMI问题

问：在高速PCB设计时我们使用的软件都只不过是对设置好的EMC、EMI规则进行检查，而设计者应该从那些方面去考虑EMC、EMI的规则呢怎样设置规则呢我使用的是CADENCE公司的软件。

答：一般EMI/EMC设计时需要同时考虑辐射(radiated)与传导(conducted)两个方面。前者归属于频率较高的部分(>30MHz)后者则是较低频的部分(<30MHz)。所以不能只注意高频而忽略低频的部分。

一个好的EMI/EMC设计必须一开始布局时就要考虑到器件的位置，PCB迭层的安排，重要联机的走法，器件的选择等，如果这些没有事前有较佳的安排，事后解决则会事倍功半，增加成本。例如时钟产生器的位置尽量不要

26·关于PCB设计中的阻抗匹配问题

问：在高速PCB设计时为了防止反射就要考虑阻抗匹配，但由于PCB的加工工艺限制了阻抗的连续性而仿真又仿不到，在原理图的设计时怎样来考虑这个问题？另外关于IBIS模型，不知在那里能提供比较准确的IBIS模型库。我们从网上下载的库大多数都不太准确，很影响仿真的参考性。靠近对外的连接器，高速信号尽量走内层并注意特性阻抗匹配与参考层的连续以减少反射，器件所推的信号之斜率(slew rate)尽量小以减低高频成分，选择去耦合(decoupling/bypass)电容时注意其频率响应是否符合需求以降低电源层噪声。另外，注意高频信号电流之回流路径使其回路面积尽量小(也就是回路阻抗loop impedance尽量小)以减少辐射。还可以用分割地层的方式以控制高频噪声的范围。最后，适当的选择PCB与外壳的接地点(chassis ground)。

答：在设计高速PCB电路时，阻抗匹配是设计的要素之一。而阻抗值跟走线方式有绝对的关系，例如是走在表面层(microstrip)或内层(stripline/double stripline)，与参考层(电源层或地层)的距离，走线宽度，PCB材质等均会影响走线的特性阻抗值。也就是说要在布线后才能确定阻抗值。一般仿真软件会因线路模型或所使用的数学算法的限制而无法考虑到一些阻抗不连续的布线情况，这时候在原理图上只能预留一些terminators(端接)，如串联电阻等，来缓和走线阻抗不连续的效应。真正根本解决问题的方法还是布线时尽量注意避免阻抗不连续的发生。

IBIS模型的准确性直接影响到仿真的结果。基本上IBIS可看成是实际芯片I/O buffer等效电路的电气特性资料，一般可由SPICE模型转换而得(亦可采用测量，但限制较多)，而SPICE的资料与芯片制造有绝对的关系，所以同样一个器件不同芯片厂商提供，其SPICE的资料是不同的，进而转换后的IBIS模型内之资料也会随之而异。也就是说，如果用了A厂商的器件，只有他们有能力提供他们器件准确模型资料，因为没有其它人会比他们更清楚他们的器件是由何种工艺做出来的。如果厂商所提供的IBIS不准确，只能不断要求该厂商改进才是根本解决之道。

27 · PCB设计工具比较

问：请问就你个人观点而言：针对模拟电路（微波、高频、低频）、数字电路（微波、高频、低频）、模拟和数字混合电路（微波、高频、低频），目前PCB设计哪一种EDA工具有较好的性能价格比（含仿真）？可否分别说明。

答：限于本人应用的了解，无法深入地比较EDA工具的性能价格比，选择软件要按照所应用范畴来讲，我主张的原则是够用就好。常规的电路设计，INNOVEDA 的 PADS 就非常不错，且有配合用的仿真软件，而这类设计往往占据了 70%的应用场合。在做高速电路设计，模拟和数字混合电路，采用Cadence的解决方案应该属于性能价格比较好的软件，当然Mentor的性能还是非常不错的，特别是它的设计流程管理方面应该是最为优秀的。

以上观点纯属个人观点！

28 · 关于数/模分开布局与智能布局

问：当一个系统中既存在有RF小信号，又有高速时钟信号时，通常我们采用数/模分开布局，通过物理隔离、滤波等方式减少电磁干扰，但是这样对于小型化、高集成以及减小结构加工成本来说当然不利，而且效果仍然不一定满意，因为不管是数字接地还是模拟接地点，最后都会接到机壳地上去，从而使得干扰通过接地耦合到前端，这是我们非常头痛的问题，想请教专家这方面的措施。

答：既有RF小信号，又有高速时钟信号的情况较为复杂，干扰的原因需要做仔细的分析，并相应的尝试用不同的方法来解决。要按照具体的应用来看，可以尝试一下以下的方法。

0：存在RF小信号，高速时钟信号时，首先是要将电源的供应分开，不宜采用开关电源，可以选用线性电源。

- 1：选择RF小信号，高速时钟信号其中的一种信号，连接采用屏蔽电缆的方式，应该可以。
- 2：将数字的接地点与电源的地相连（要求电源的隔离度较好），模拟接地点接到机壳地上。
- 3：尝试采用滤波的方式去除干扰。



这里是电子爱好者家园的主站。

<http://www.ee521.com>

<http://home.ee521.com>

射频和天线设计培训课程推荐

易迪拓培训(www.edatop.com)由数名来自于研发第一线的资深工程师发起成立,致力并专注于微波、射频、天线设计研发人才的培养;我们于 2006 年整合合并微波 EDA 网(www.mweda.com),现已发展成为国内最大的微波射频和天线设计人才培养基地,成功推出多套微波射频以及天线设计经典培训课程和 ADS、HFSS 等专业软件使用培训课程,广受客户好评;并先后与人民邮电出版社、电子工业出版社合作出版了多本专业图书,帮助数万名工程师提升了专业技术能力。客户遍布中兴通讯、研通高频、埃威航电、国人通信等多家国内知名公司,以及台湾工业技术研究院、永业科技、全一电子等多家台湾地区企业。

易迪拓培训课程列表: <http://www.edatop.com/peixun/rfe/129.html>



射频工程师养成培训课程套装

该套装精选了射频专业基础培训课程、射频仿真设计培训课程和射频电路测量培训课程三个类别共 30 门视频培训课程和 3 本图书教材;旨在引领学员全面学习一个射频工程师需要熟悉、理解和掌握的专业知识和研发设计能力。通过套装的学习,能够让学员完全达到和胜任一个合格的射频工程师的要求...

课程网址: <http://www.edatop.com/peixun/rfe/110.html>

ADS 学习培训课程套装

该套装是迄今国内最全面、最权威的 ADS 培训教程,共包含 10 门 ADS 学习培训课程。课程是由具有多年 ADS 使用经验的微波射频与通信系统设计领域资深专家讲解,并多结合设计实例,由浅入深、详细而又全面地讲解了 ADS 在微波射频电路设计、通信系统设计和电磁仿真设计方面的内容。能让您在最短的时间内学会使用 ADS,迅速提升个人技术能力,把 ADS 真正应用到实际研发工作中去,成为 ADS 设计专家...

课程网址: <http://www.edatop.com/peixun/ads/13.html>



HFSS 学习培训课程套装



该套课程套装包含了本站全部 HFSS 培训课程,是迄今国内最全面、最专业的 HFSS 培训教程套装,可以帮助您从零开始,全面深入学习 HFSS 的各项功能和在多个方面的工程应用。购买套装,更可超值赠送 3 个月免费学习答疑,随时解答您学习过程中遇到的棘手问题,让您的 HFSS 学习更加轻松顺畅...

课程网址: <http://www.edatop.com/peixun/hfss/11.html>

CST 学习培训课程套装

该培训套装由易迪拓培训联合微波 EDA 网共同推出,是最全面、系统、专业的 CST 微波工作室培训课程套装,所有课程都由经验丰富的专家授课,视频教学,可以帮助您从零开始,全面系统地学习 CST 微波工作的各项功能及其在微波射频、天线设计等领域的设计应用。且购买该套装,还可超值赠送 3 个月免费学习答疑...

课程网址: <http://www.edatop.com/peixun/cst/24.html>



HFSS 天线设计培训课程套装

套装包含 6 门视频课程和 1 本图书,课程从基础讲起,内容由浅入深,理论介绍和实际操作讲解相结合,全面系统的讲解了 HFSS 天线设计的全过程。是国内最全面、最专业的 HFSS 天线设计课程,可以帮助您快速学习掌握如何使用 HFSS 设计天线,让天线设计不再难...

课程网址: <http://www.edatop.com/peixun/hfss/122.html>

13.56MHz NFC/RFID 线圈天线设计培训课程套装

套装包含 4 门视频培训课程,培训将 13.56MHz 线圈天线设计原理和仿真设计实践相结合,全面系统地讲解了 13.56MHz 线圈天线的工作原理、设计方法、设计考量以及使用 HFSS 和 CST 仿真分析线圈天线的具体操作,同时还介绍了 13.56MHz 线圈天线匹配电路的设计和调试。通过该套课程的学习,可以帮助您快速学习掌握 13.56MHz 线圈天线及其匹配电路的原理、设计和调试...

详情浏览: <http://www.edatop.com/peixun/antenna/116.html>



我们的课程优势:

- ※ 成立于 2004 年,10 多年丰富的行业经验,
- ※ 一直致力并专注于微波射频和天线设计工程师的培养,更了解该行业对人才的要求
- ※ 经验丰富的一线资深工程师讲授,结合实际工程案例,直观、实用、易学

联系我们:

- ※ 易迪拓培训官网: <http://www.edatop.com>
- ※ 微波 EDA 网: <http://www.mweda.com>
- ※ 官方淘宝店: <http://shop36920890.taobao.com>