

高速 PCB 培训手记

1.引言

人类工具发明的历史，就是自身解放的历史。面对享誉全球的 Cadence 公司的 Allegro SPB PCB 软件，你不得不发出这样的感慨。当人类对电子类消费产品的需求进一步朝高集成度、高速度、超小型化发展时，芯片的工作频率以摩尔定律增加，而其尺寸反而越来越小，这势必要求更高密度、更高速度的 PCB 板。而高密度、高速度的布线则带来了诸如反射、串绕、EMI 等一系列的信号完整性（SI）问题，如果不抑制这些高速问题则可能使原理无误的电路板无法正常工作或达不到预定的工作能力。于是，信号完整性分析与设计成为了最重要的高速 PCB 板级和系统级分析与设计手段，在硬件电路设计中扮演着越来越重要的作用，它是整个系统是否成功的最后一个关键。国外对 PCB 的 SI 较早就十分关注，伟大的美国工程师以它们敏捷的思维、深厚的数学功底、崇高的敬业精神将似乎无法把握的纷繁芜杂的 SI 问题抽象成系统的数学公式，使之成为一套完整的理论，并贡献了三本伟大的书，它们是 Howard W.Johnson 的《High-Speed Digital Design - A Handbook of Black Magic》、Stephen H.Hall 的《High-Speed Digital System Design》和 BrianYang 的《Digital Signal Integrity》，这三本被业界誉为经典的 PCB 圣经必然和它们的作者一样，在人类的 IT 发展史上留下光辉一笔。而 Cadence 的 SPB 系列软件则建立在这些完整的理论体系上，它细致严谨的原理图设计工具、灵活自如的 PCB 布线器、完整可靠的 SI 仿真分析功能将 PCB 工程师从繁重的劳动中解放了出来，与同类软件（protel、powerpcb 等）相比，它绝对能以更短的开发周期完成更高质量的 PCB 设计。

当我使用 Cadence 公司的 SPB 软件，一次次被它散射出的智慧光芒所折服，正如在研读《High-Speed Digital Design - A Handbook of Black Magic》时被作者深邃的知识所折服一样。SPB 软件完整而庞大，蕴含着一套完整的设计理论，学习和使用它无疑是一个相当艰难的过程，但是技术人员天性对技术的崇拜和渴求使得这种学习过程也成为一种享受，于是乎，痛并快乐着。可叹我伟大的祖国，何时才能在科技领域剑指乾坤，傲视群雄？可叹我智慧的中国人，充满科研的智慧，却没有创造出智慧的科研！

2.原理图

传说中的 Capture，Cadence 收购自 orCAD，作为本次培训讲授的原理图设计软件。为什么选择培训它而不选择 Cadence 自身研发的 Design Entry HDL，Cadence 是聪明的。Capture 本身拥有庞大的用户群体，其设计思路和低端的 protel 等又十分相似，学员能更快上手。与 protel 相比，Capture 的优势是明显的，它具备如下特点：

- 1) 快速的器件建库能力，严谨的器件参数设置

如图 1 所示，在建立 part 时，需要指定 Part Reference、PCB Footprint 和指定其 part 分成几个部分（是同构还是异构）。也需指定其类型（即 class，如图 2），类型分为 IO、IC 和分离元件，这里的 class 设置会映射到 PCB 仿真时指定不同类型的 model。

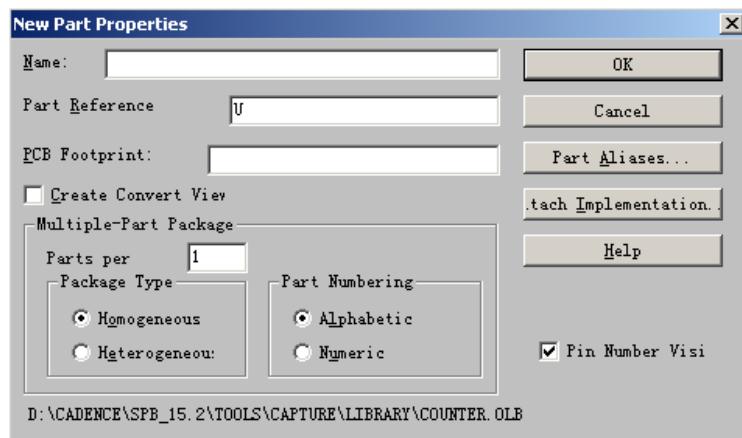


图 1 建立 part

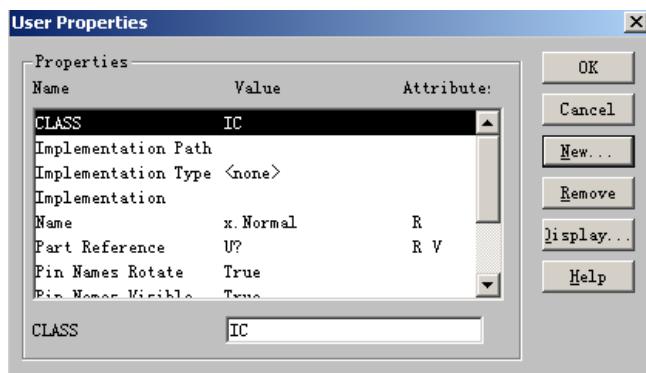


图 2 part 参数设置

part 的 pin 也需指定形状(shape)和电气类型，如图 3 所示。

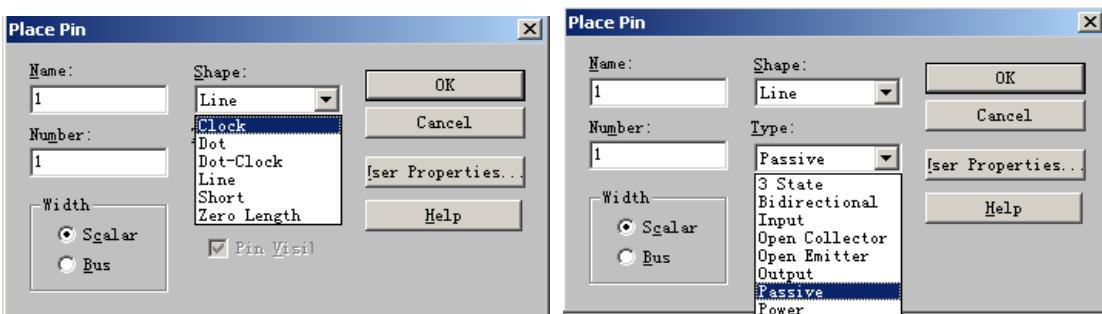


图 3 指定 pin 的形状和电气类型

反观 protel，它没有这样严谨的参数设置，所以 protel 绘制的工程转化到 Cadence 工具中后，器件类型全为 IC。

在用 Capture 建立 part 时，可以一次添加一组 pin，点击 即可。

在国际互联网上，可以下载到许多器件的库文件。一些大型的企业则分门别类地将器件库存放在特定的服务器上，由专人管理。

2)绘图灵活方便

当 part 已经建立并放置在某在原理图后，若需修改该 part，无需修改库文件本身，只需要在原理图的该器件上点击右键选择 Edit Part (如图 4)。

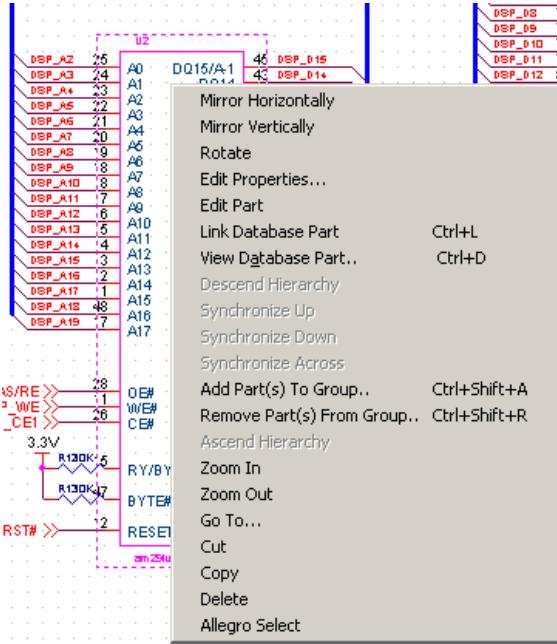


图 4 在原理图上直接编辑 part

修改完此 part 后，可以选择只 update 目前的器件或者 update 所有的器件（如图 5）。



图 5 选择更新目标

在 Capture 中，可以直接 copy 某张原理图到本工程的其它位置或者其它工程，器件编号的排序会在器件放入时自动增加。

Capture 是与 Cadence 的 PCB 布线工具紧密联系的，可以在原理图中指定某一器件在 PCB 图里被选中，也可以在 PCB 中指定某一器件在原理图中被选中。另外，还可以在 PCB 中对器件按照 PCB 板上的摆放位置重新排序后将序号反标回原理图中。

3.PCB

Allegro，令人惊奇的布线器，本次培训讲授的 PCB 设计软件，几乎可以用“神速”来形容。Cadence 公司的资深工程师孙皖平曾经在一次吃饭时不经意间提起用 Allegro 两天内可以布完一个 PCB 板，我抱以不信任，而这种粗浅的怀疑很快就被事实击地粉碎。当我这个 PCB 水货用不到一周时间布完了用 protel 四十天布完的 PCB 后，我知道两天布完一个普通的 PCB 板绝不是神话。如果是神话，那么，Cadence 创造了神话。而神话，总是被创造。今日，新兴的信息技术渗透入世界的每个角落，在百年前的人类看来，这何尝不是一个神话的世界？当神话般的科技被一次次创造的时候，又有更多的科技神话等待着人类去创造，中国人，需要有勇于创造神话的气概。

1) 总线布线

在 Allegro，选择一组网络为总线，则可以一次布一组线，如图 6 所示。

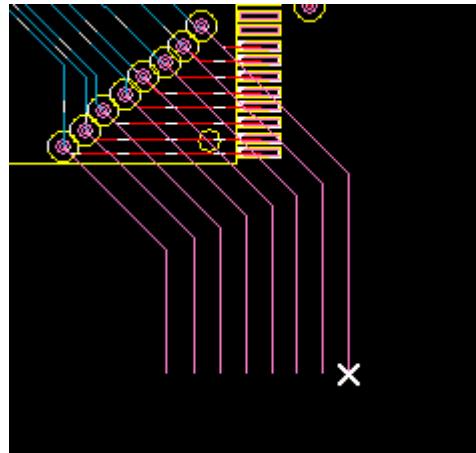


图 6 总线布线

2) 自动推挤

有一件事令天下 PCB 工程师烦恼，那就是先前的线布好后，需要布后面的线时发现先前的线与当前的走线靠得太近，当前的走线无法通过 DRC 检查。这时，不得不删除先前的线，把先前的线和当前的线布密一些，都挤下。有了 Allegro，再也不需要费劲的删除和重绘。在 Allegro 中直接布当前走线的同时，先前的线会自动挤开，如图 7 所示。

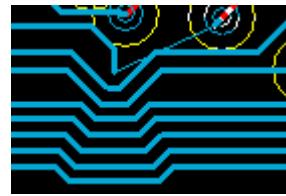


图 7 自动推挤

3) 消耗很小的系统资源

protel 的慢是人所共知的，因为其消耗太多的系统资源，在 protel 的布线过程中，时时蕴藏着死机的危险。面对 Allegro 这个功能如此强大的布线器，必会以为其布线过程反应很慢。恰恰相反，用 Allegro 布线基本不需要停滞和等待。Cadence 里一群可爱的美国鬼子把图形学和数据库技术玩到了巅峰水平。

4) 规则驱动的布线

规则驱动的布线，即布线在一组规则的监控之下，规规矩矩地走线。高速 PCB 设计规则通常分两种：物理规则和电气规则。所谓物理规则是指设计工程师指定基于物理尺寸的某些设计规则，比如线宽为 4Mil，线与线之间的间距为 4Mil，平行走线长度为 4Mil 等。而电气规则是指有关电特性或者电性能方面的设计规则，如布线延时控制在 1ns 到 2ns 之间，某一个 PCB 线上的串扰总量小于 70mV 等等。

低端的布线器几乎只能基于物理规则布线，也就是说这些布线器只能够自动满足设计工程师指定的物理尺寸方面的要求，而并不能够直接受高速电气规则所驱动。Allegro 则可以支持电气规则驱动布线，电气规则驱动的高速布线器对于确保高速设计信号完整性来说非常重要，设计工程师总是最先得到电气规则而且设计规范也是电气规则，换句话说我们的设计最终必须满足的是电气规则而不是物理规则，最终的物理设计实现满足设计的电气规则要求才是最本质的。

4.SI

通常认为如果数字逻辑电路的频率达到或者超过 45MHZ~50MHZ，而且工作在这个频率之上的

电路已经占到了整个电子系统一定的份量（比如说 1 / 3），就称为高速电路。

实际上，信号边沿的谐波频率比信号本身的频率高，是信号快速变化的上升沿与下降沿（或称信号的跳变）引发了信号传输的非预期结果。因此，通常约定如果线传播延时大于 1/2 数字信号驱动端的上升时间，则认为此类信号是高速信号并产生传输线效应。

信号的传递发生在信号状态改变的瞬间，如上升或下降时间。信号从驱动端到接收端经过一段固定的时间，如果传输时间小于 1/2 的上升或下降时间，那么来自接收端的反射信号将在信号改变状态之前到达驱动端。反之，反射信号将在信号改变状态之后到达驱动端。如果反射信号很强，叠加的波形就有可能会改变逻辑状态。

由高速信号所导致的 SI 问题主要有：

传输线效应

PCB 板上的走线可等效为图 8 所示的 RLC 电路的多次连接。串联电阻的典型值为 0.25-0.55 ohms/foot。将寄生电阻、电容和电感加到实际的 PCB 连线中之后，连线上的最终阻抗称为特征阻抗 Z_0 。线径越宽，距电源/地越近，或隔离层的介电常数越高，特征阻抗就越小。如果传输线和接收端的阻抗不匹配，那么输出的电流信号和信号最终的稳定状态将不同，这就引起信号在接收端产生反射，这个反射信号将传回信号发射端并再次反射回来。随着能量的减弱反射信号的幅度将减小，直到信号的电压和电流达到稳定。这种效应被称为振荡，信号的振荡在信号的上升沿和下降沿经常可以看到。



图 8 传输线

串扰

信号之间由于电磁场的相互耦合而产生的不期望的噪声电压信号称为信号串扰。串扰超出一定的值将可能引发电路误动作从而导致系统无法正常工作。信号线距离地线越近，线间距越大，产生的串扰信号越小。异步信号和时钟信号更容易产生串扰。因此解决串扰的方法是移开发生串扰的信号或屏蔽被严重干扰的信号。

电磁干扰

EMI(Electro-Magnetic Interference)即电磁干扰，产生的问题包含过量的电磁辐射及对电磁辐射的敏感性两方面。EMI 表现为当数字系统加电运行时，会对周围环境辐射电磁波，从而干扰周围环境中电子设备的正常工作。它产生的主要原因是电路工作频率太高以及布局布线不合理。PCB 是产生 EMI 的源头，所以 PCB 设计直接关系到电子产品的电磁兼容性(EMC)。如果在高速 PCB 设计中对 EMC/EMI 予以重视，将有助缩短产品研发周期加快产品上市时间。EMC 的三要素为辐射源，传播途径和受害体。传播途径分为空间辐射传播和电缆传导。所以要抑制谐波，首先看看它传播的途径。电源去耦是解决传导方式传播，此外，必要的匹配和屏蔽也是需要的。业界资深工程师李宝龙认为，滤波是解决 EMC 通过传导途径辐射的一个好办法，除此之外，还可以从干扰源和受害体方面入手考虑。干扰源方面，如果存在反射或 Overshoot、undershoot 或 ringing，可以考虑匹配；另外尽量避免做 50% 占空比的信号，因为这种信号没有偶次谐波，高频分量更多。受害体方面，可以考虑包地等措施。

Allegro PCB SI 的设计流程包括如下六个步骤：

- 1) Pre-Placement
- 2) Solution Space Analysis
- 3) Constraint-Driven Floorplanning
- 4) Constraint-Driven Routing
- 5) Post-Route DRC
- 6) Post-Route Analysis

Pre-Placement

如图 9 所示先将芯片、接插件等按照设计要求预放置在板上。

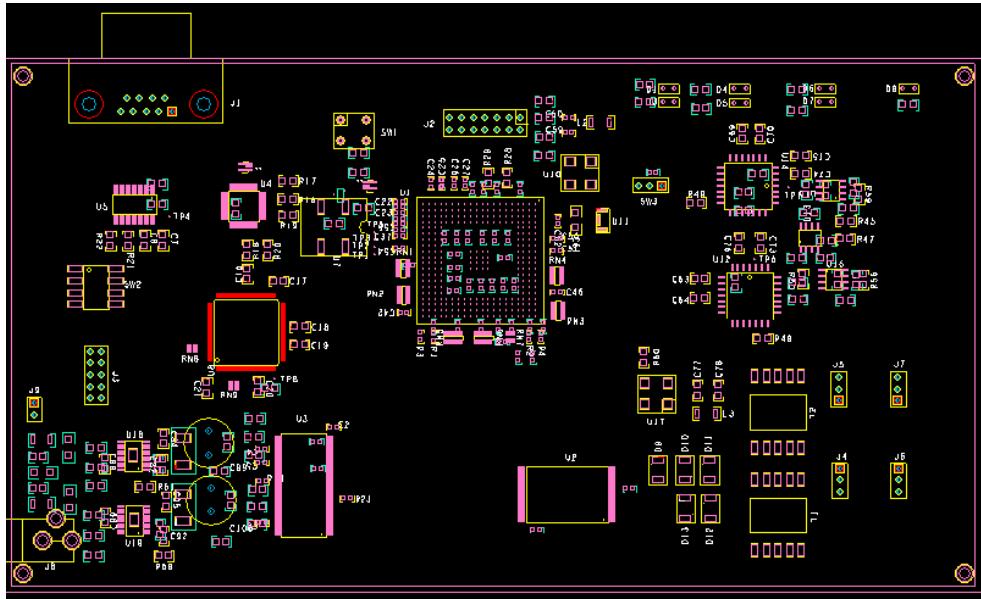


图 9 预放置

Database Setup Advisor

通过 Database Setup Advisor 可以设置板的层叠方式、DC 网络、芯片和接插件的仿真模型等。第一步是定义板的层叠方式，如图 10 所示。板的层叠中需设置各层的材料、厚度、传输线的线宽、绝缘材料的介电常数、差分传输线的间距，这些因素决定了各层传输线的阻抗。整个层叠的目的是各层的阻抗要连续，而阻抗的值需控制到 50—75 欧姆的范围内，最好是 50 欧姆。如果阻抗不连续，则需要进一步修改。

Layout Cross Section										
	Subclass Name	Type	Thickness (MIL)	Dielectric Constant	Loss Tangent	Shield	Width (MIL)	Impedance (ohm)	Coupling Type	Spacing (MIL)
1	SURFACE									
2	TOP	CONDUCTOR	1.9	1.000000	0		5.00	75.594	EDGE	5.00 109.51
3		DIELECTRIC	7.3	4.500000	0.035					
4	VCC	PLANE	1.2	1.000000	0	■				
5		DIELECTRIC	20.08	4.900000	0.035					
6	L2	CONDUCTOR	1.2	1.000000	0		5.00	75.14	EDGE	5.00 96.036
7		DIELECTRIC	16.9	4.900000	0.035					
8	GND	PLANE	1.2	1.000000	0	■				
9		DIELECTRIC	20.08	4.900000	0.035					
10	VCC1	PLANE	1.2	1.000000	0	■				
11		DIELECTRIC	16.9	4.900000	0.035					
12	L3	CONDUCTOR	1.2	1.000000	0		5.00	75.136	EDGE	5.00 96.032
13		DIELECTRIC	20.08	4.900000	0.035					
14	GND1	PLANE	1.2	1.000000	0	■				
15		DIELECTRIC	7.3	4.500000	0.035					
16	BOTTOM	CONDUCTOR	1.9	1.000000	0		5.00	75.594	EDGE	5.00 109.51
17	SURFACE									

Total Thickness:	Initialize Conductive Layer Dielectric: Dielectric Constant:	Loss Tangent:	<input checked="" type="checkbox"/> Differential Mode
119.64 MIL	[Custom Values]	1.000000	0
OK	Apply	Cancel	Refresh Materials ->
Help			

图 10 PCB 板的层叠方式

下一步定义 DC 网络的电位，如图 11 所示。

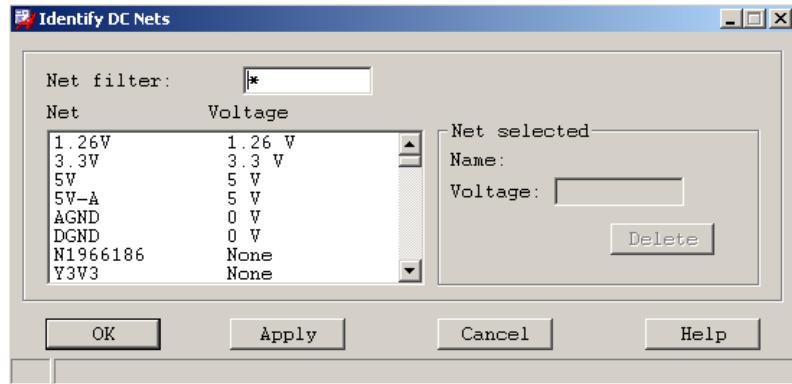


图 11 定义 DC 网络的电位

下一步定义分离器件和接插件，这些器件由系统创建仿真 model，如图 12 所示。

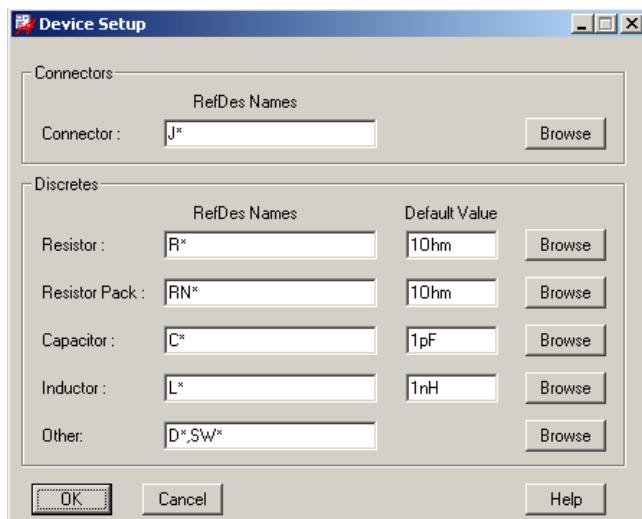


图 12 定义分离器件和接插件

接下来是与仿真关系最紧密的一步，即分配 SI 仿真模型（如图 13），要指定 IC 的 IBIS model，上一步定义的电阻、电容、I/O 等可以由系统创建其仿真模型。

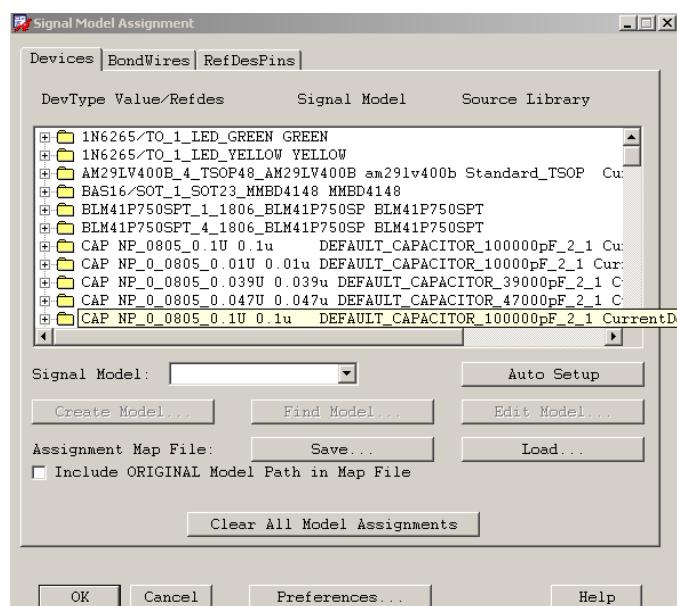


图 13 指定 SI model

如果芯片厂商提供的 IBIS model 不完整，则需利用 Cadence 提供的 Model Integrity 进行修正，如图 14 所示。

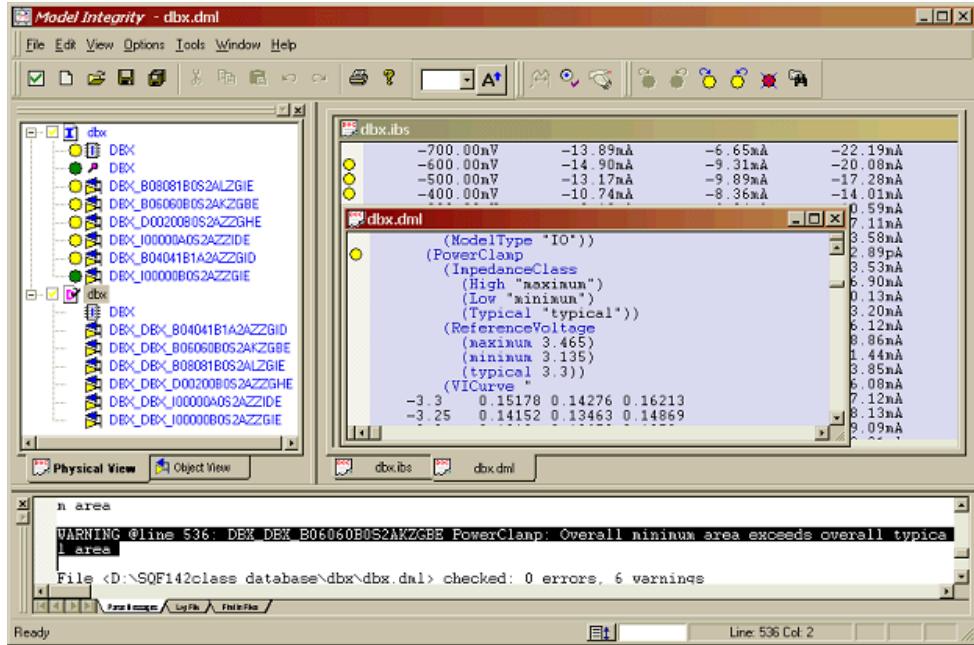


图 14 Model Integrity

进行下一步的 SI 审计后结束 Database Setup Advisor 过程。

Solution Space Analysis/Constraint-Driven Floorplanning/Constraint-Driven Routing

只有完成上述的过程后，我们才可能提取网络的拓扑，尔后进行仿真反射、串绕和定时等的仿真，图 15 是我们利用 SigXplorer 提取的 TMS320C6713 数据总线中一部分的拓扑。

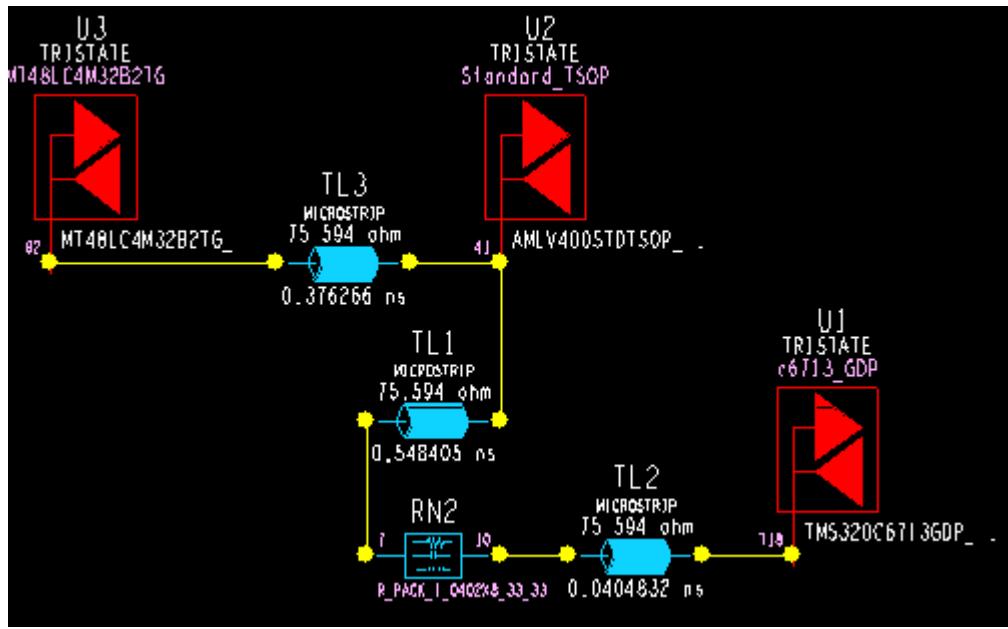


图 15 提取拓朴

布线拓扑的不同对信号完整性是有一定影响的。对于一组总线(地址，数据，命令)驱动多达 4、5 个设备(FLASH、SDRAM 等)的情况，在 PCB 布线时，是总线依次到达各设备，如先连到 SDRAM，再到 FLASH……还是总线呈星型分布，即从某处分离，分别连到各设备？布线拓扑对信号完整性的影响，主要反映在各个节点上信号到达时刻不一致，反射信号同样到达某节点的时刻不一致，所以

造成信号质量恶化。一般来讲，星型拓扑结构，可以通过控制同样长的几个分支，使信号传输和反射时延一致，达到比较好的信号质量。在使用拓扑之间，要考虑到信号拓扑节点情况、实际工作原理和布线难度。不同的 Buffer，对于信号的反射影响也不一致，所以星型拓扑并不能很好解决上述数据地址总线连接到 FLASH 和 SDRAM 的时延，进而无法确保信号的质量；另一方面，高速的信号一般在 DSP 和 SDRAM 之间通信，FLASH 加载时的速率并不高，所以在高速仿真时只要确保实际高速信号有效工作的节点处的波形，而无需关注 FLASH 处波形；星型拓扑比较菊花链等拓扑来讲，布线难度较大，尤其大量数据地址信号都采用星型拓扑时。

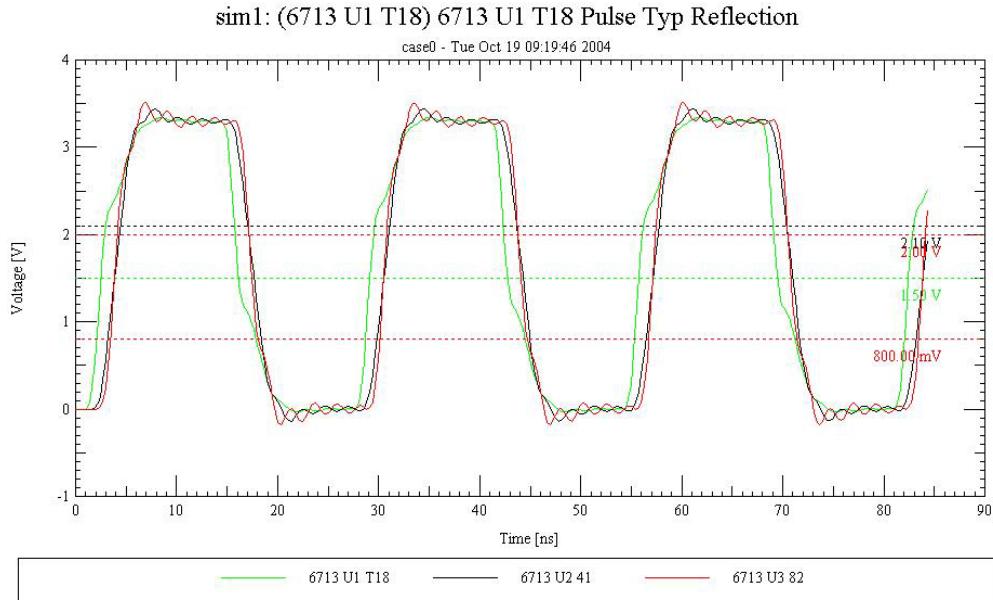


图 16 仿真的信号波形

我们可以在 SigXplorer 设置不同的拓扑结构、不同的端接电阻值仿真出信号的波形质量（减缓反射），可以设置不同的平行线长度和间距来仿真获得串绕值并将串绕限制在一定的范围内，并由上述仿真结果获得布线规则，如图 17 所示，这些规则会自动用于指导布线。从图 17 可以看出，规则的种类较多。

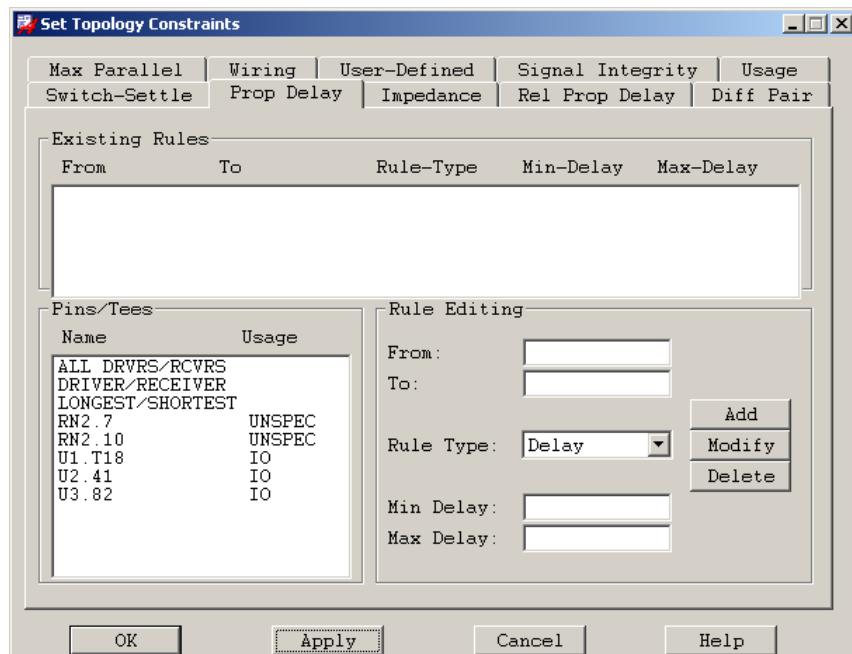


图 17 设置电气规则

我们发现，整个规则管理的层次结构是跨平台的，体现在原理图设计到 PCB 布线、SI 分析的整个过程中（如图 18）。

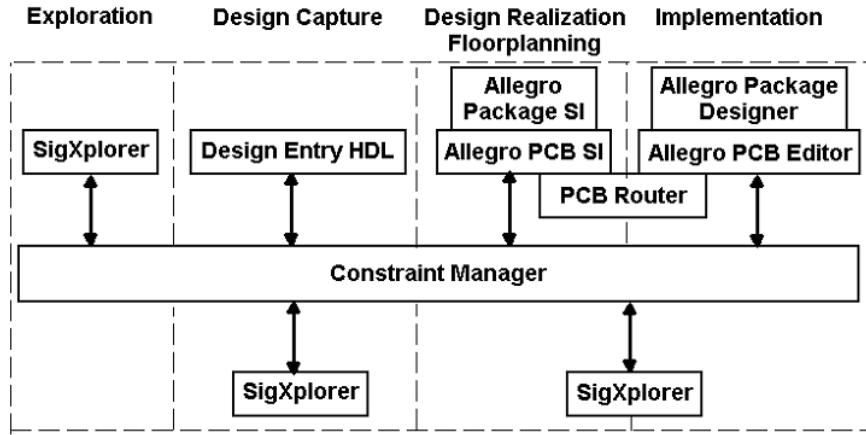


图 18 规则管理

Post-Route DRC/Post-Route Analysis

在布线结束后，我们可以利用 SI 依次点击菜单 Analyze > SI/EMI Sim > Probe 进行后分析，如图 19，这时候的传输线模型是真正的有损传输线模型，包括过孔也被赋予其仿真模型，我们仍然可以进行反射、串绕、定时等的分析看布线结果是否真的符合规则。

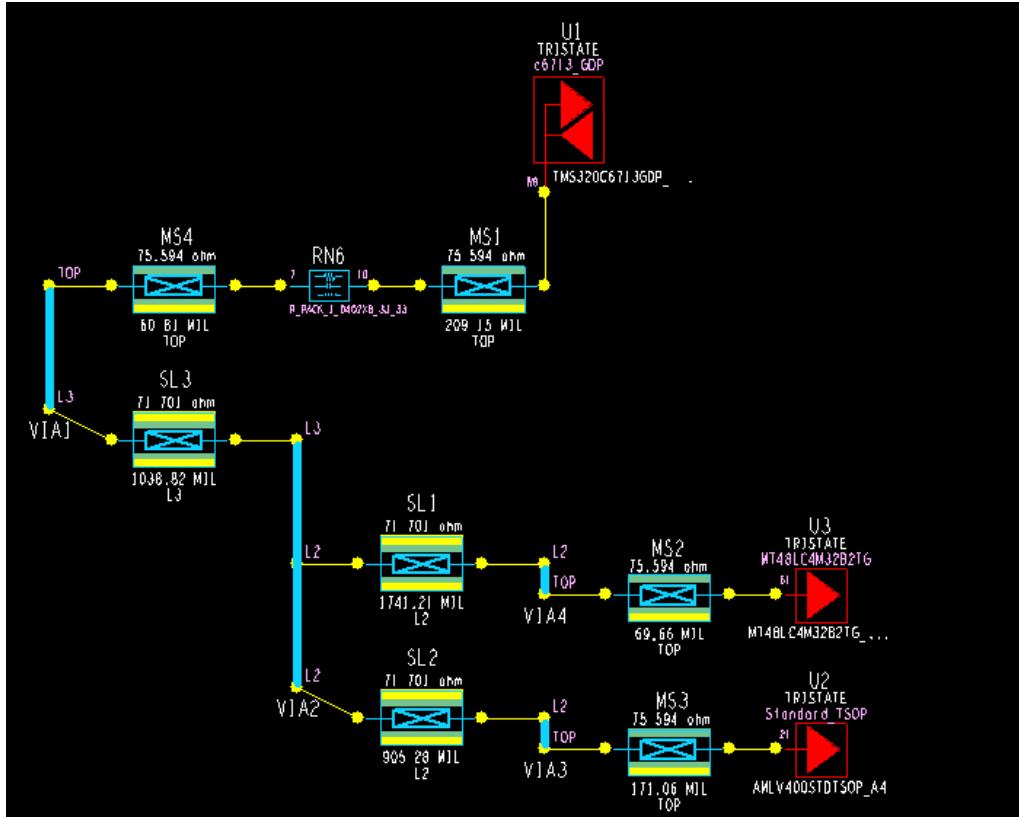


图 19 后分析提取拓朴

5.Bug

Cadence 的 Allegro SPB 是一套 Bug 丛生的软件。另一套 Bug 丛生的软件是著名的“瘟酒吧”——Windows 98，然而它们都是世界上最好的软件。我们永远在做 1+1 的数学题，哪里会有 Bug？但终究发现，也许最大的 Bug 便是没有 Bug。

没有 Bug 丛生软件的民族是悲哀的。

6.致谢

感谢 Cadence 公司为我们贡献了一个顶级的 PCB 设计软件！

感谢 Cadence 公司资深工程师孙皖平先生的细心指导和李君小姐的热心帮助！

感谢深圳快捷 PCB 制造商的鼎立支持！

感谢不辞辛劳的杨平导师对我们的耐心辅导！

最后感谢我的拍档胡健先生默默无闻的奉献！

宋宝华

2004 年 10 月 19 日

射 频 和 天 线 设 计 培 训 课 程 推 荐

易迪拓培训(www.edatop.com)由数名来自于研发第一线的资深工程师发起成立，致力并专注于微波、射频、天线设计研发人才的培养；我们于 2006 年整合合并微波 EDA 网(www.mweda.com)，现已发展成为国内最大的微波射频和天线设计人才培养基地，成功推出多套微波射频以及天线设计经典培训课程和 ADS、HFSS 等专业软件使用培训课程，广受客户好评；并先后与人民邮电出版社、电子工业出版社合作出版了多本专业图书，帮助数万名工程师提升了专业技术能力。客户遍布中兴通讯、研通高频、埃威航电、国人通信等多家国内知名公司，以及台湾工业技术研究院、永业科技、全一电子等多家台湾地区企业。

易迪拓培训课程列表：<http://www.edatop.com/peixun/rfe/129.html>



射频工程师养成培训课程套装

该套装精选了射频专业基础培训课程、射频仿真设计培训课程和射频电路测量培训课程三个类别共 30 门视频培训课程和 3 本图书教材；旨在引领学员全面学习一个射频工程师需要熟悉、理解和掌握的专业知识和研发设计能力。通过套装的学习，能够让学员完全达到和胜任一个合格的射频工程师的要求…

课程网址：<http://www.edatop.com/peixun/rfe/110.html>

ADS 学习培训课程套装

该套装是迄今国内最全面、最权威的 ADS 培训教程，共包含 10 门 ADS 学习培训课程。课程是由具有多年 ADS 使用经验的微波射频与通信系统设计领域资深专家讲解，并多结合设计实例，由浅入深、详细而又全面地讲解了 ADS 在微波射频电路设计、通信系统设计和电磁仿真设计方面的内容。能让您在最短的时间内学会使用 ADS，迅速提升个人技术能力，把 ADS 真正应用到实际研发工作中去，成为 ADS 设计专家…



课程网址：<http://www.edatop.com/peixun/ads/13.html>



HFSS 学习培训课程套装

该套课程套装包含了本站全部 HFSS 培训课程，是迄今国内最全面、最专业的 HFSS 培训教程套装，可以帮助您从零开始，全面深入学习 HFSS 的各项功能和在多个方面的工程应用。购买套装，更可超值赠送 3 个月免费学习答疑，随时解答您学习过程中遇到的棘手问题，让您的 HFSS 学习更加轻松顺畅…

课程网址：<http://www.edatop.com/peixun/hfss/11.html>

CST 学习培训课程套装

该培训套装由易迪拓培训联合微波 EDA 网共同推出，是最全面、系统、专业的 CST 微波工作室培训课程套装，所有课程都由经验丰富的专家授课，视频教学，可以帮助您从零开始，全面系统地学习 CST 微波工作的各项功能及其在微波射频、天线设计等领域的设计应用。且购买该套装，还可超值赠送 3 个月免费学习答疑…



课程网址: <http://www.edatop.com/peixun/cst/24.html>



HFSS 天线设计培训课程套装

套装包含 6 门视频课程和 1 本图书，课程从基础讲起，内容由浅入深，理论介绍和实际操作讲解相结合，全面系统的讲解了 HFSS 天线设计的全过程。是国内最全面、最专业的 HFSS 天线设计课程，可以帮助您快速学习掌握如何使用 HFSS 设计天线，让天线设计不再难…

课程网址: <http://www.edatop.com/peixun/hfss/122.html>

13.56MHz NFC/RFID 线圈天线设计培训课程套装

套装包含 4 门视频培训课程，培训将 13.56MHz 线圈天线设计原理和仿真设计实践相结合，全面系统地讲解了 13.56MHz 线圈天线的工作原理、设计方法、设计考量以及使用 HFSS 和 CST 仿真分析线圈天线的具体操作，同时还介绍了 13.56MHz 线圈天线匹配电路的设计和调试。通过该套课程的学习，可以帮助您快速学习掌握 13.56MHz 线圈天线及其匹配电路的原理、设计和调试…



详情浏览: <http://www.edatop.com/peixun/antenna/116.html>

我们的课程优势:

- ※ 成立于 2004 年，10 多年丰富的行业经验，
- ※ 一直致力并专注于微波射频和天线设计工程师的培养，更了解该行业对人才的要求
- ※ 经验丰富的一线资深工程师讲授，结合实际工程案例，直观、实用、易学

联系我们:

- ※ 易迪拓培训官网: <http://www.edatop.com>
- ※ 微波 EDA 网: <http://www.mweda.com>
- ※ 官方淘宝店: <http://shop36920890.taobao.com>